

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-260381

(43)Date of publication of application : 13.09.2002

(51)Int.Cl.

G11C 11/404  
G11C 11/407  
G11C 11/401  
H01L 21/8242  
H01L 27/108

(21)Application number : 2001-054621

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 28.02.2001

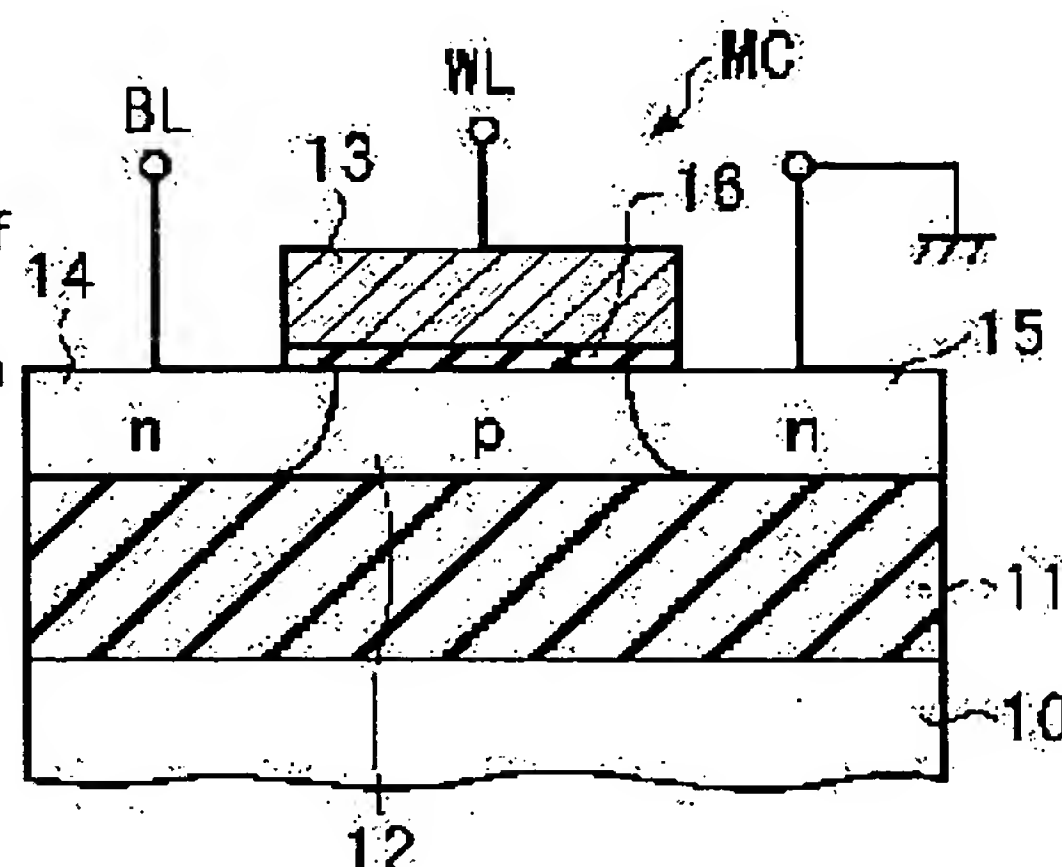
(72)Inventor : FUJITA KATSUYUKI  
OSAWA TAKASHI

## (54) SEMICONDUCTOR MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor memory in which a memory cell has simple transistor structure and dynamic storage of binary data can be performed with less signal lines.

SOLUTION: A plurality of memory cells are arranged making one MIS transistor formed on a silicon layer 12 of a SOI substrate as a memory cell MC of one bit, gates 13 of the memory cells MC arranged in the first direction are connected to word lines WL, drains 14 of the memory cell arranged in the second direction are connected to bit lines BL, sources 15 of all memory cell MC have the memory cell array connected to a fixed potential line. The memory cell MC stores a first data state in which excessive many carriers are held in the silicon layer 12 and which have first threshold voltage, a second data state in which excessive many carriers of the silicon layer 12 are discharged and which have second threshold voltage, also, rewriting of data can be performed with an arbitrary bit unit, further, the memory cell MC has initializing mode in which all memory cells MC of a memory cell array are written in the first data state.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] Two or more memory cells are arranged considering one MIS transistor formed in the semi-conductor layer of floating as a 1-bit memory cell. The gate of the memory cell located in a line in the 1st direction is connected to a word line, and the drain of the memory cell located in a line in the 2nd direction is connected to a bit line. It has the memory cell array by which the source of all memory cells was connected to the fixed potential line. Said memory cell The 1st data condition which caused impact ionization near the drain and set said semi-conductor layer as the 1st potential, It is what memorizes dynamically the 2nd data condition which passed forward current to drain junction and set said semi-conductor layer as the 2nd potential. And semiconductor memory equipment characterized by having the initialization mode which writes all the memory cells of said memory cell array in said 1st data condition.

[Claim 2] It is semiconductor memory equipment according to claim 1 characterized by writing in said 1st data condition by causing impact ionization near the drain junction by carrying out pentode actuation of said memory cell, and writing in said 2nd data condition by giving a forward bias between said semi-conductor layer with which predetermined potential was given by capacity coupling from said gate, and said drain.

[Claim 3] Said fixed potential line is made into a reference potential in a data write mode. The 1st control potential higher than said reference potential is given to a selection word line, and the 2nd control potential lower than said reference potential is given to a non-choosing word line. According to the 1st and 2nd data condition, the 4th control potential lower than the 3rd control potential and said reference potential respectively higher than said reference potential is given to a subdevice-bit line. Semiconductor memory equipment according to claim 1 characterized by giving control potential respectively higher than said 1st control potential and the 3rd control potential to a word line and a bit line in said initialization mode.

[Claim 4] Said fixed potential line is made into a reference potential in a data write mode. The 1st control potential higher than said reference potential is given to a selection word line, and the 2nd control potential lower than said reference potential is given to a non-choosing word line. According to the 1st and 2nd data condition, the 4th control potential lower than the 3rd control potential and said reference potential respectively higher than said reference potential is given to a subdevice-bit line. Semiconductor memory equipment according to claim 1 characterized by giving control potential higher than said 1st control potential to a word line in said initialization mode, and giving said 3rd control potential to a bit line.

[Claim 5] Said fixed potential line is made into a reference potential in a data write mode. The 1st control potential higher than said reference potential is given to a selection word line, and the 2nd control potential lower than said reference potential is given to a non-choosing word line. According to the 1st and 2nd data condition, the 4th control potential lower than the 3rd control potential and said reference potential respectively higher than said reference potential is given to a subdevice-bit line, and it sets in said initialization mode. Semiconductor memory equipment according to claim 1 characterized by giving said 1st control potential to a word line, and giving control potential higher than said 3rd control potential to a bit line.

[Claim 6] Said fixed potential line is made into a reference potential in a data write mode. The

1st control potential higher than said reference potential is given to a selection word line, and the 2nd control potential lower than said reference potential is given to a non-choosing word line. According to the 1st and 2nd data condition, the 4th control potential lower than the 3rd control potential and said reference potential respectively higher than said reference potential is given to a subdevice-bit line, and it sets in said initialization mode. Semiconductor memory equipment according to claim 1 characterized by giving said 1st control potential to a word line, and giving said 3rd control potential to a bit line.

[Claim 7] Said fixed potential line is made into a reference potential in a data write mode. The 1st control potential higher than said reference potential is given to a selection word line, and the 2nd control potential lower than said reference potential is given to a non-choosing word line. According to the 1st and 2nd data condition, the 4th control potential lower than the 3rd control potential and said reference potential respectively higher than said reference potential is given to a subdevice-bit line, and it sets in said initialization mode. Semiconductor memory equipment according to claim 1 characterized by said 2nd control potential being given to a word line, and control potential higher than said 3rd control potential being given to a bit line, and making it written in the 1st data condition by the leakage current of drain junction.

[Claim 8] Said memory cell is semiconductor memory equipment according to claim 1 characterized by having the auxiliary gate for controlling the potential of said semi-conductor layer by capacity coupling apart from said gate.

[Claim 9] Semiconductor memory equipment according to claim 8 characterized by giving potential higher than a steady state to said auxiliary gate in said initialization mode.

[Claim 10] Said initialization mode is semiconductor memory equipment according to claim 1 characterized by detecting powering on and performing automatically inside a chip.

---

[Translation done.]

## \* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to dynamic mold semiconductor memory equipment (DRAM).

[0002]

[Description of the Prior Art] As for the conventional DRAM, the memory cell is constituted by the MOS transistor and the capacitor. Detailed-ization of DRAM is progressing greatly by adoption of trench capacitor structure or SUTAKKUTO capacitor structure. The magnitude (cell size) of current and a unit memory cell sets the minimum processing dimension to  $F$ , and is reduced to the area of  $2F \times 4F = 8F^2$ . That is, when the minimum processing dimension  $F$  becomes small with a generation and generally sets cell size to  $\alpha F^2$ , a multiplier  $\alpha$  becomes small with a generation and current [ $F = 0.18$ -micrometer] and  $\alpha = 8$  are realized.

[0003] In order to secure the trend of the cell size which continues not to be different from the former, or a chip size, in  $F < 0.18$  micrometers, it becomes a big technical problem further by  $F < 0.13$  micrometers how  $\alpha < 8$  and filling  $\alpha < 6$  form cell size in a small area with micro processing by being required. Therefore, various proposals which make the memory cell of 1 transistor / 1 capacitor the magnitude of  $6F^2$  or  $4F^2$  are also made. However, there is difficulty on manufacturing technologies, such as technical difficulty that a transistor must be used as a vertical mold, a problem that the electric interference between contiguity memory cells becomes large and also processing, and film generation, and utilization is not easy.

[0004] On the other hand, some are made so that the proposal of DRAM which uses one transistor as a memory cell may also be listed to below not using a capacitor.

\*\* JOHN E.LEISS et al and "dRAM Design Using the Taper-Isolated Dynamic Cell" () [ IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL.SC-17, NO.2, ] [ APRIL ] 1982, pp337-344\*\* JP,3-171768,A \*\*Marnix R.Tack et al, and "The Multistable Charge-Controlled Memory Effect in SOI MOS Transistors at Low Temperatures" () [ IEEE ] TRANSACTIONS ON ELECTRONDEVICES, VOL.37, MAY, 1990, pp1373-1382\*\*Hsing-jen Wann et al, and "A Capacitorless DRAM Cell on SOI Substrate" (IEDM93, pp 635-638) [0005]

[Problem(s) to be Solved by the Invention] \*\* A memory cell is constituted using the MOS transistor of embedding channel structure. Using the parasitic transistor formed in the taper section of an isolation insulator layer, the charge and discharge of a surface inversion layer are performed, and binary storage is performed.

\*\* A memory cell uses as binary data the threshold separately decided by well potential of an MOS transistor using the MOS transistor by which well separation was carried out.

\*\* A memory cell is constituted by the MOS transistor on a SOI substrate. A negative big electrical potential difference is impressed from a SOI substrate side, the hole storage in the oxide film and the interface section of a silicon layer is used, and emission of this hole and impregnation perform binary storage.

\*\* A memory cell is constituted by the MOS transistor on a SOI substrate. although an MOS transistor comes out of even the structure up, a reverse conductivity-type layer forms in the front face of a drain diffusion layer in piles -- having -- substantial -- writing in -- business --



a PMOS transistor -- reading -- business -- it is considering as the structure which combined the NMOS transistor with one. Binary data are memorized for the substrate field of an NMOS transistor with the potential as a node of floating.

[0006] However, structure of \*\* is complicated, and since it uses the parasitic transistor, there is a difficulty also in the controllability of a property. \*\* Although it is simple, it is necessary to connect the drain of a transistor, and the source to a signal line, and to carry out potential control of the structure. Since it is well separation, cell size is large and, moreover, rewriting for every bit cannot be performed. \*\* Need the potential control from a SOI substrate side, rewriting for every bit cannot be performed, but a difficulty is in a controllability. \*\* Since special transistor structure is needed and a word line, a light bit line, a lead bit line, and a purge line are needed for a memory cell, the number of signal lines increases.

[0007] This invention aims at offering the semiconductor memory equipment which enabled dynamic storage of binary data with few signal lines by using simple transistor structure as a memory cell.

[0008]

[Means for Solving the Problem] Two or more memory cells are arranged considering one MIS transistor with which the semiconductor memory equipment concerning this invention was formed in the semi-conductor layer of floating as a 1-bit memory cell. The gate of the memory cell located in a line in the 1st direction is connected to a word line, and the drain of the memory cell located in a line in the 2nd direction is connected to a bit line. It has the memory cell array by which the source of all memory cells was connected to the fixed potential line. Said memory cell The 1st data condition which caused impact ionization near the drain junction and set said semi-conductor layer as the 1st potential, The 2nd data condition which passed forward current to drain junction and set said semi-conductor layer as the 2nd potential is memorized dynamically, and it is characterized by having the initialization mode which writes all the memory cells of said memory cell array in said 1st data condition.

[0009] According to this invention, one memory cell is formed by one simple MIS transistor which has the semi-conductor layer of floating as a body field, and can make cell size small with  $4F^2$ . Only by control of the word line connected with the bit line which the source of a transistor was connected to the fixed potential line, and was connected to the drain at the gate, it reads and control of rewriting and refresh is performed. That is, data rewriting by arbitration bitwise is also possible. Moreover, since the memory cell by this invention is destructive read fundamentally, if it is not necessary to form a sense amplifier for every bit line and it is put in another way, it is not necessary to form a sense amplifier to all the memory cells chosen as coincidence by the word line, therefore the layout of a sense amplifier will become easy. Furthermore, since a memory cell is current read-out, it excels in noise-proof nature and an opening bit line method can also be used.

[0010] In this invention concretely the 1st data condition Impact ionization is caused near the drain junction by carrying out pentode actuation of the memory cell. It is written in by holding the generated majority carrier in a semi-conductor layer. The 2nd data condition A forward bias is given between the semi-conductor layers and drains to which predetermined potential was given by capacity coupling from the gate, and it is written in by drawing out the majority carrier of a semi-conductor layer to a drain. These data conditions are held by giving the potential lower than the reference potential given to the source for data-hold to the gate.

[0011] On the other hand, since the memory cell by this invention has the body of floating, it is unfixed in what kind of value the body potential in the initial state after powering on becomes. For this reason, a possibility that early body potential may be too low and normal data writing may become impossible for example, arises. On the other hand, in this invention, subsequent normal operation can be guaranteed by having the initialization mode which writes in the 1st data condition compulsorily about all the memory cells of a memory cell array.

[0012] Specifically, initialization mode can consider some following modes.

(a) The method which gives control potential higher than the 1st control potential and the 3rd control potential at the time of the writing of the usual 1st data condition to a word line and a bit line, respectively. Thereby, it can initialize in the 1st data condition certainly.

(b) The method which gives control potential high than the 1st control potential in the usual 1st data condition writing to a word line, gives the 1st same control potential also in the method which gives the 3rd same control potential to a bit line also in the usual 1st data condition writing, or 1st data condition writing conversely usual to a word line, and gives control potential high than the 3rd control potential in the usual 1st data condition writing to a bit line. Also by this, it can initialize in the 1st data condition almost certainly.

(c) The method which gives the 1st same control potential to a word line also in the usual 1st data condition writing, and gives the 3rd same control potential to a bit line also in the usual 1st data condition writing. This method is not easy to initialize when the body of an initial state is in low voltage, but if a certain amount of time amount is spent, it can be initialized in the 1st data condition.

[0013] Mode [ of the above initialization mode ] (a) – (c) all performs initialization by pentode actuation of the same memory cell as the writing of the usual 1st data condition. On the other hand, the following modes (d) which initialize a memory cell array in the 1st data condition by another principle are considered.

(d) The method which gives potential higher than the 3rd control potential in the usual 1st data condition writing to a bit line, and is initialized in the 1st data condition by GIDL (Gate Induced Drain Leakage Current) where the 2nd control potential which maintains a data-hold condition is given to a word line.

[0014] In this invention, a memory cell shall have the auxiliary gate for controlling the potential of the semi-conductor layer of floating by capacity coupling apart from the usual gate preferably. When it has such the auxiliary gate, body potential can be controlled by capacity coupling from this auxiliary gate, and initialization actuation can be made to ensure. Moreover, in this invention, inside a chip, initialization mode shall detect powering on and shall be performed automatically preferably.

[0015]

[Embodiment of the Invention] Drawing 1 shows the cross-section structure of the unit memory cell of DRAM by this invention, and drawing 2 shows that equal circuit. The memory cell MC is constituted by the N channel MIS transistor of SOI structure. That is, the SOI substrate with which silicon oxide 11 was formed as an insulator layer on the silicon substrate 10, and the p-type silicon layer 12 was formed on this silicon oxide 11 is used. On the silicon layer 12 of this substrate, the gate electrode 13 is formed through gate oxide 16, self align is carried out to the gate electrode 13, and n mold source and the drain diffusion layers 14 and 15 are formed.

[0016] The source and the drain diffusion layers 14 and 15 are formed in the depth which reaches the silicon oxide 11 of a pars basilaris ossis occipitalis. Therefore, if the body field which consists of a p-type silicon layer 12 separates the channel width direction (direction which intersects perpendicularly with the space of drawing) with an oxide film, insulating separation of a base and the side face of the channel width direction will be carried out from others, and the direction of channel length will be in floating by which the pn junction was carried out. When carrying out the matrix array of this memory cell MC, the gate electrode 13 is connected to a word line WL, the source diffusion layer 15 is connected to a fixed potential line (touch-down potential line), and the drain diffusion layer 14 is connected to a bit line BL.

[0017] Drawing 3 shows the layout of a memory cell array, and drawing 4 (a) and (b) show A-A' of drawing 3, and a B-B' cross section, respectively. Pattern formation of the p-type silicon layer 12 is carried out to the shape of a grid by the embedding of silicon oxide 21. Namely, in the word line WL direction, the field of two transistors which share a drain is detached by silicon oxide 21 by the component, and is arranged. Or instead of the embedding of silicon oxide 21, lateral isolation may be performed by etching the silicon layer 12. The gate electrode 13 is continuously formed in an one direction, and this serves as a word line WL. The source diffusion layer 15 is continuously formed in the word line WL direction, and this serves as a fixed potential line (common source line). It is covered with an interlayer insulation film 23, and a bit line BL is formed by the transistor top on this. A bit line BL contacts the drain diffusion layer 14 shared between two transistors, and it is arranged so that a word line WL may be intersected.

[0018] Thereby, a base and the side face of the channel width direction are mutually separated

by the oxide film, it is mutually separated in the direction of channel length by pn junction, and the silicon layer 12 which is the body field of each transistor is maintained at floating. And with this memory cell array configuration, as the broken line showed to drawing 3, unit-cell area is set to  $2F \times 2F = 4F^2$ , for forming a word line WL and a bit line BL in the pitch of the minimum processing dimension F.

[0019] The principle of operation of the DRAM cel which consists of this NMOS transistor uses are recording of the hole which is the majority carrier of the body field (p-type silicon layer 12 by which insulating separation was carried out from others) of an MOS transistor. That is, a big current is excited for impact ionization from the drain diffusion layer 14 near a sink and the drain diffusion layer 14 by operating an MOS transistor in a pentode field. The hole which is the superfluous majority carrier generated by this impact ionization is made to hold in the p-type silicon layer 12, and let that hole storage condition be data "1." Carry out the forward bias of the pn junction between the drain diffusion layer 14 and the p-type silicon layer 12, and let the condition of having emitted the superfluous hole of the p-type silicon layer 12 to the drain side be data "0."

[0020] Data "0" and "1" are the differences of the potential of the body, and are memorized as a difference of the threshold electrical potential difference of an MOS transistor. That is, the threshold electrical potential difference  $V_{th1}$  of a data "1" condition with the high potential of a body field is lower than the threshold electrical potential difference  $V_{th0}$  of a data "0" condition by the hole storage. In order to hold "1" data condition which accumulated the hole which is a majority carrier in the body, it is necessary for a word line to impress negative bias voltage. This data-hold condition is \*\*\*\*\* even if it performs read-out actuation, unless write-in actuation (elimination) of reverse data is performed. That is, unlike DRAM of 1 transistor / 1 capacitor using the charge storage of a capacitor, destructive read is possible.

[0021] Some are considered by the method of data read-out. The relation between the word line potential VWL and the body potential VB becomes like drawing 5 by data "0", "1", and relation. Therefore, the 1st approach of data read-out uses that give the read-out potential which becomes a word line WL in the middle of the threshold electrical potential differences  $V_{th0}$  and  $V_{th1}$  of data "0" and "1", and a current does not flow in the memory cell of "0" data, but a current flows in the memory cell of "1" data. A bit line BL is specifically precharged to the predetermined potential VBL, and a word line WL is driven after that. Thereby, in the case of "0" data, as shown in drawing 6, there is no change of the bit line precharge potential VBL, and when it is "1" data, the precharge potential VBL falls.

[0022] The 2nd read-out method uses that supply a current to a bit line BL and the climbing speeds of bit line potential differ according to whenever [ flow / of "0" and "1" ], after starting a word line WL. Simply, a bit line BL is precharged to 0V, as shown in drawing 7, a word line WL is started, and a bit line current is supplied. At this time, data distinction is attained by detecting the difference of a potential rise of a bit line using a dummy cell.

[0023] The 3rd read-out method is a method which reads the difference of a bit line current which is different by "0" when clamping a bit line BL to predetermined potential, and "1." Although a current-electrical-potential-difference conversion circuit is required in order to read a current difference, finally the differential amplifier of the potential difference is carried out, and a sense output is taken out.

[0024] In this invention, in order to make a superfluous hole emit only from the bulk field of the memory cell chosen by the potential of the word line WL chosen in the memory cell array, and a bit line BL in order to write in "0" data alternatively namely, capacity coupling between a word line WL and the body becomes essential. The condition that the hole was accumulated in the body field by data "1" needs to carry out bias of the word line in the negative direction enough, and to hold in the condition (namely, condition that the depletion layer is not formed in the front face) that the gate and the capacity between substrates of a memory cell turn into gate oxidation membrane capacitance.

[0025] A more concrete wave of operation is explained. Drawing 8 - drawing 11 are the lead / refresh at the time of using the 1st read-out method which performs data distinction by the existence of discharge of the bit line by the selection cel, and the wave of read/write of



operation. Drawing 8 and drawing 9 are data and lead/refresh actuation of "1" "0" data, respectively. Till time of day t1, it is in a data-hold condition (condition of not choosing), and negative potential is given to the word line WL. A word line WL is started to forward predetermined potential at time of day t1. At this time, word line potential is set up among the thresholds Vth0 and Vth1 of "0" and "1" data. Thereby, in the case of "1" data, the bit line VBL currently precharged beforehand becomes low voltage by discharge. In the case of "0" data, the bit line potential VBL is held. Thereby, "1" and "0" data are distinguished.

[0026] And at time of day t2, potential of a word line WL is made still higher, and it reads to coincidence, when data are "1", forward potential is given to a bit line BL ( drawing 8 ), and negative potential is given to a bit line BL when read-out data are "0" ( drawing 9 ). Thereby, when a selection memory cell is "1" data, big channel current flows by pentode actuation, impact ionization takes place, impregnation maintenance of the superfluous hole is carried out, and "1" data is again written in the body. In the case of data, drain junction becomes a forward bias and "0" "0" by which superfluous hole is not held at the body data are written in again.

[0027] And bias of the word line WL is carried out in the negative direction at time of day t3, and lead/refresh actuation is ended. In other non-choosing memory cells connected with the same bit line BL as the memory cell which performed "1" data read-out, a word line WL is held at negative potential therefore, the body is held at negative potential, and impact ionization does not take place. In other non-choosing memory cells connected with the same bit line BL as the memory cell which performed "0" data read-out, too, a word line WL is held at negative potential, and hole emission does not take place.

[0028] Drawing 10 and drawing 11 are read/write actuation of the each "1" data based on the same read-out method, and "0" data. Read-out actuation at the time of day t1 in drawing 10 and drawing 11 is the same as that of drawing 8 and drawing 9 respectively. In making a word line WL into high potential further at time of day t2 after read-out and writing "0" data in the same selection cel, it gives negative potential at coincidence to a bit line BL ( drawing 10 ), and in writing in "1" data, it gives forward potential to a bit line BL ( drawing 11 ). Thereby, in the cel to which "0" data were given, drain junction becomes a forward bias and the hole of the body is emitted. In the cel to which "1" data was given, impact ionization takes place near the drain and impregnation maintenance of the superfluous hole is carried out at the body.

[0029] Drawing 12 - drawing 15 are the lead / refresh at the time of using the 2nd read-out method which precharges a bit line BL to 0V, supplies a current to a bit line BL after word line selection, and performs data distinction with the potential climbing speed of a bit line BL, and the wave of read/write of operation. Drawing 12 and drawing 13 are data and lead/refresh actuation of "1" "0" data, respectively. The word line WL currently held at negative potential is started to forward potential at time of day t1. At this time, word line potential is set as a value higher than any of the thresholds Vth0 and Vth1 of "0" and "1" data, as shown in drawing 7 . Or word line potential may be set up among the thresholds Vth0 and Vth1 of "0" and "1" data like the 1st read-out method. And a current is supplied to a bit line at time of day t2. Thereby, in the case of "1" data, a potential rise of a bit line BL is small ( drawing 12 ), in the case of "0" data, a memory cell turns on deeply and bit line potential rises [ the current of a memory cell is small (or a current does not flow), and ] quickly. Thereby, "1" and "0" data are distinguished.

[0030] And at time of day t3, when read-out data are "1", electropositive potential is given to a bit line BL ( drawing 12 ), and electronegative potential is given to a bit line BL when read-out data are "0" ( drawing 13 ). Thereby, when a selection memory cell is "1" data, a drain current flows, impact ionization takes place, impregnation maintenance of the superfluous hole is carried out, and "1" data is again written in the body. In the case of data, "0" "0" which drain junction becomes forward bias and does not have superfluous hole in the body data are written in again. Bias of the word line WL is carried out in the negative direction at time of day t4, and lead/refresh actuation is ended.

[0031] Drawing 14 and drawing 15 are read/write actuation of the each "1" data based on the same read-out method, and "0" data. Read-out actuation at the time of day t1 and t2 in drawing 14 and drawing 15 is the same as that of drawing 12 and drawing 13 respectively. After read-out, in writing "0" data in the same selection cel, it gives negative potential to a bit line BL ( drawing

1414 ), and in writing in "1" data, it gives forward potential to a bit line BL ( drawing 15 ).

Thereby, in the cel to which "0" data were given, drain junction becomes a forward bias and the superfluous hole of the body is emitted. In the cel to which "1" data was given, a big drain current flows, impact ionization takes place near the drain, and impregnation maintenance of the superfluous hole is carried out at the body.

[0032] As mentioned above, the DRAM cel by this invention is constituted by the simple MOS transistor with the body of floating electrically separated from others, and can realize cell size of 4F<sup>2</sup>. Moreover, potential control of the body of floating uses capacity coupling from a gate electrode, and a source diffusion layer is fixed potential. That is, control of read-out/writing is performed by only a word line WL and the bit line BL, and it is easy. Furthermore, since a memory cell is destructive read fundamentally, it is not necessary to form a sense amplifier for every bit line, and the layout of a sense amplifier becomes easy. Furthermore, since it is a current read-out method, it is strong also in a noise, for example, read-out is possible also in an opening bit line method. Moreover, the manufacture process of a memory cell is also easy.

[0033] Although fundamental memory actuation was explained so far, in immediately after powering on etc., a guarantee of operation becomes a problem. That is, since the body of a memory cell is floating, although the one where the potential of the body is higher is held to the reference potential of the source at built-in potential, the lower one is unfixed and becomes low too much. And if it remains as it is, there is a possibility that pentode actuation for "1" data writing cannot be performed.

[0034] This is guessed also from the property shown in drawing 16 . Drawing 16 shows the gate voltage V<sub>g</sub> dependency of the drain current I<sub>d</sub> and the substrate current I<sub>sub</sub> by making body potential V<sub>b</sub> into a parameter about the usual MOS transistor. When the high potential VWLH is given to the gate, pentode actuation is carried out and impact ionization is caused, the hole current to generate is observed as a substrate current I<sub>sub</sub>. Drawing 16 shows that the substrate current I<sub>sub</sub> decreases, if the body potential V<sub>b</sub> is shifted in the negative direction. Therefore, if it is negative [ with big body potential ] by the initial state also in this invention, as for until the, "1" data writing may become impossible. Then, in this invention, actuation which initializes a memory cell array to a power up etc. is performed.

[0035] Hereafter, the gestalt of the operation equipped with such initialization mode is explained concretely. Drawing 17 shows the configuration of the whole DRAM chip. The word line WL with which the matrix array of the memory cell MC is carried out, and common connection of the gate of two or more memory cells is made, and the bit line BL with which common connection of the drain of two or more memory cells is made cross, and the memory cell array 21 is arranged and constituted, as shown in drawing 18 . The bit line BL of the memory cell array 21 is connected to a sense amplifier 23 through the column gate 22 controlled by the column decoder 24. The word line WL of the memory cell array 21 is chosen by a low decoder / word line driver 25, and is driven.

[0036] Data transfer between a sense amplifier 23 and an I/O terminal is performed through I/O buffer 27. Moreover, the external address is incorporated by the address buffer 26 through I/O buffer 27, and a row address and a column address are supplied to a low decoder / word line driver 25, and the column decoder 24, respectively.

[0037] The potential generating circuit 29 generates the high potential VBLH at the time of "1" data writing which generates the high potential VWLH at the time of the data writing given to a word line WL, the low voltage VWLL at the time of a data hold, and the middle potential VWLR at the time of data read-out, and is given to a bit line BL, the low voltage VBLL at the time of "0" data writing, the precharge potential VBLR at the time of data read-out, etc.

[0038] This potential generating circuit 29 is controlled by the output of the power-on detector 28 which detects the injection of an external power VEXT, and generates required potential. Moreover, in response to the output of a control circuit 30, \*\*, and the power-on detector 28, the initialization actuation which initializes all the memory cells of the memory cell array 21 is controlled. Concretely, a control circuit 30 operates the address counter prepared for example, in the address buffer 26, increments the address, and controls the initialization actuation which writes "1" data in all the memory cells of the memory cell array 21 compulsorily.

[0039] Or a control circuit 30 may be put in block to all the memory cells of the memory cell array 21 by making the low decoder 25 and the column decoder 24 into all selection conditions, and initialization motion control of writing in "1" data compulsorily may be performed again. Furthermore, when the memory cell array 21 is divided into two or more subcell arrays, control of initializing by time sharing for every subcell array is also possible. Moreover, a control circuit 30 performs initialization actuation automatically, and also it may be made to perform same initialization actuation by power-on detection in response to the command input from an I/O terminal. Below, a concrete initialization mode of operation is explained.

[0040] [the 1st initialization mode] -- in the 1st initialization mode, potential higher than the high potential at the time of the usual "1" data writing is given to a word line WL and a bit line BL, respectively. Drawing 19 shows the high potential VWLH given to the word line which the potential generating circuit 29 in this case outputs, and the high potential VBLH given to a bit line. The word line quantity potential VWLH1 used for the usual "1" data writing and the potentials VWLH0 and VBLH0 respectively higher than a bit line VBLH1 are generated between fixed time amount T after powering on.

[0041] Drawing 20 shows word line WL of initialization actuation and after that, the potential of a bit line BL, and the body potential VB of the memory cell at that time. In initialization actuation, the potentials VWLH0 and VBLH0 higher than the time of the usual "1" writing are given to a word line WL and a bit line BL, respectively, the body potential VB is fully raised, and impact ionization is produced. Thereby, "1" data is written certainly. Then, a word line WL is set to electronegative potential VWLL, data are held, and normal operation is performed henceforth. By a diagram, the wave of "1" data writing of operation is shown.

[0042] In the 2nd initialization mode, the same high potential as the usual [initialization mode of \*\* 2nd] "1" writing is used for a bit line BL, and potential higher than the high potential at the time of the usual "1" data writing is given to a word line WL. Drawing 21 shows the high potential VWLH given to the word line which the potential generating circuit 29 in this case outputs, and the high potential VBLH given to a bit line. The potential VWLH0 higher than the word line quantity potential VWLH1 used for the usual "1" data writing is generated between fixed time amount T after powering on. The bit line quantity potential VBLH is fixed.

[0043] Drawing 22 shows word line WL of initialization actuation and after that, the potential of a bit line BL, and the body potential VB of the memory cell at that time. In initialization actuation, the potential VWLH0 higher than the time of the usual "1" writing is given to a word line WL, the body potential VB is fully raised, and impact ionization is produced. Thereby, "1" data is written certainly. Then, a word line WL is set to electronegative potential VWLL, data are held, and normal operation is performed henceforth. By a diagram, the wave of "1" data writing of operation is shown.

[0044] In the 3rd initialization mode, the same high potential as the usual [initialization mode of \*\* 3rd] "1" writing is used for a word line WL, and potential higher than the high potential at the time of the usual "1" data writing is given to a bit line BL. Drawing 23 shows the high potential VWLH given to the word line which the potential generating circuit 29 in this case outputs, and the high potential VBLH given to a bit line. The potential VBLH0 higher than the bit line quantity potential VBLH1 used for the usual "1" data writing is generated between fixed time amount T after powering on. The word line quantity potential VWLH is fixed.

[0045] Drawing 24 shows word line WL of initialization actuation and after that, the potential of a bit line BL, and the body potential VB of the memory cell at that time. In initialization actuation, although the same high potential VWLH as the time of the usual "1" writing is given to the word line WL, since the potential VBLH0 higher than the time of the usual "1" writing is used for the bit line BL, impact ionization can be produced effectively. Thereby, "1" data is written certainly. Then, a word line WL is set to electronegative potential VWLL, a data condition is held, and normal operation is performed henceforth. By a diagram, the wave of "1" data writing of operation is shown.

[0046] [the 4th initialization mode] -- in the 4th initialization mode, the high potential as the usual "1" writing with same word line WL and bit line is used. However, in order to initialize certainly in this case, it is desirable to set up the time amount of initialization actuation for a



long time than the usual write-in time amount. If the initialization operating time is set up to some extent for a long time above, initialization of "1" data condition is possible.

[0047] If the above initialization mode is arranged in the high order of the certainty of initialization of "1" data condition, it will become the order in the 1st initialization mode, the 2nd initialization mode, the 3rd initialization mode, and the 4th initialization mode. It is because the body potential at the time of initialization actuation becomes low in this order. However, even if it is in low initialization mode of certainty, it becomes possible by changing memory cell structure so that it may explain below to make more positive initialization actuation perform.

[0048] Drawing 25 makes such memory cell structure correspond to drawing 1, and shows it. As contrasted with the structure of drawing 1, it differs at drawing 25 R> 5 in that the backgate electrode 32 is laid underground into the insulator layer 11 (BOX film) which separates the silicon layer 12. Capacity coupling of this backgate 32 is carried out through gate dielectric film 31 to the base of the silicon layer 12 used as the body of a transistor. The equal circuit of the memory cell MC in this case is shown in drawing 26.

[0049] As such memory cell structure, negative fixed potential (however, forward fixed potential when a memory cell is a p channel) is given to a backgate 32. Thereby, the maintenance property of "1" data in a data-hold condition can be made better. Basic actuation of a memory cell is realized by controlling body potential by capacity coupling from the front gate 13, as explained previously. However, when this capacity coupling is too large, it is clear by examination of this invention persons that it becomes impossible to fully take the threshold electrical-potential-difference difference of data "0" and "1."

[0050] On the other hand, by adding a backgate 32 and carrying out capacity coupling to the body, the capacity coupling ratio from the front gate 13 to the body can be made small, and, thereby, it becomes possible to secure more greatly the threshold electrical-potential-difference difference of data "0" and "1."

[0051] Drawing 27 shows the equal circuit of the memory cell array which used such a memory cell MC with a backgate. Common connection of the backgate terminal VB is made by the whole memory cell array. Or pattern formation of the backgate 32 may be carried out as the word line WL1 by the front gate 13, and a concurrent word line WL2. In this case, an equal circuit becomes like drawing 28. In this case, the word line WL1 connected to the front gate and the word line WL2 connected to a backgate can be driven synchronously.

[0052] Concretely, the word line WL2 connected to a backgate is maintained at negative in the state of data-hold, and is made into higher potential in the data write-in condition synchronizing with a word line WL1. Thereby, the selection write-in property and data-hold property of the data "1" within a memory cell array and "0" can be raised.

[0053] When such a memory cell MC with a backgate is used, since control of body potential can be performed by the backgate, initialization actuation also becomes easy. For example, if in the initialization actuation which gives the same potential as the high potential at the time of "1" writing previously explained as 4th initialization mode to a word line and a bit line the body is carried out by the backgate and potential is raised, initialization of more positive "1" data will be attained. This is in 5th initialization mode which a degree shows.

[0054] [Initialization mode of \*\* 5th] drawing 29 shows the high potential VWLH given to the word line which the potential generating circuit 29 in this case outputs, the high potential VBLH given to a bit line, and the potential VBG given to a backgate. The word line quantity potential VWLH and the bit line quantity potential VBLH are fixed. On the other hand, potential VBG for giving a backgate is made into the high potential VBG0 between fixed time amount T after powering on, and turns into the potential VBG1 required for normal operation after that.

[0055] Drawing 30 shows the potential of word line WL of initialization actuation and after that, a bit line BL, and Backgate BG, and the body potential VB of the memory cell at that time. In initialization actuation, although the same high potential VWLH as the time of the usual "1" writing was given to the word line WL and the same potential VBLH as the time of the usual "1" writing is also given to the bit line BL, the potential VBG0 higher than normal operation is given to Backgate BG. By this, body potential can be raised, impact ionization can be produced effectively, and "1" data is written certainly. Then, a word line WL is set to electronegative



potential VWLL, a data condition is held, and Backgate BG performs normal operation henceforth as potential VBG1 at the time of normal operation. By a diagram, the wave of "1" data writing of operation is shown.

[0056] [the 6th initialization mode] -- although all initialization actuation explained so far wrote in "1" data by impact ionization by carrying out pentode actuation of the memory cell, the initialization actuation using a GIDL current is also possible. Drawing 31 gives the low potential VWLL of a data-hold condition to a word line, gives forward potential to a bit line, and shows signs that a GIDL current flows to a memory cell. A GIDL current becomes larger as the difference of the drain potential Vd given from a bit line and the gate potential VWLL given from a word line is large.

[0057] When a memory cell with a backgate is used especially, since body potential is controllable, a bigger GIDL current can be passed and effective "1" data initialization can be performed using this. Drawing 32 shows the high potential VWLH given to the word line which the potential generating circuit 29 in this case outputs, and the high potential VBLH given to a bit line. The word line quantity potential VWLH is fixed. Bit line quantity potential VBLH is made into the high potential VBLH0 between fixed time amount T after powering on, and turns into the potential VBLH1 required for normal operation after that.

[0058] Drawing 33 shows the potential of word line WL of initialization actuation and after that, a bit line BL, and Backgate BG, and the body potential VB of the memory cell at that time. That is, in initialization actuation, a word line WL is made into the low potential VWLL of a data-hold condition, gives the potential VBLH0 higher than the usual "1" writing to a bit line BL, and gives the potential VBG0 higher than normal operation at coincidence to Backgate BG. A big GIDL current can be passed by this and "1" data is written. Then, a word line WL is set to electronegative potential VWLL, a data condition is held, and Backgate BG performs normal operation henceforth as potential VBG1 at the time of normal operation. By a diagram, the wave of "1" data writing of operation is shown.

[0059]

[Effect of the Invention] As stated above, according to this invention, one memory cell is formed by one simple MIS transistor which has the semi-conductor layer of floating as a body field, and can make cell size small with 4F2. Only by control of the word line connected to the bit line which the source of a transistor was connected to the fixed potential line, and was connected to the drain, and the gate electrode, it reads and control of rewriting and refresh is performed. That is, data rewriting by arbitration bitwise is also possible. Moreover, in this invention, subsequent normal operation can be guaranteed by having the initialization mode which writes in the 1st data condition compulsorily about all the memory cells of a memory cell array.

---

[Translation done.]

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the sectional view showing the memory cell structure of DRAM by this invention.

[Drawing 2] It is the equal circuit of the memory cell of this DRAM.

[Drawing 3] It is the layout of the memory cell array of this DRAM.

[Drawing 4] They are A-A' of drawing 3 , and a B-B' sectional view.

[Drawing 5] It is drawing showing the relation between the word line potential of this DRAM cel, and bulk potential.

[Drawing 6] It is drawing for explaining the read-out method of this DRAM cel.

[Drawing 7] It is drawing for explaining other read-out methods of this DRAM cel.

[Drawing 8] It is drawing showing the wave of "1" data read-out / refresh of this DRAM of operation.

[Drawing 9] It is drawing showing the wave of "0" data read-out / refresh of this DRAM of operation.

[Drawing 10] It is drawing showing the wave of "1" data read-out / "0" data writing of this DRAM of operation.

[Drawing 11] It is drawing showing the wave of "0" data read-out / "1" data writing of this DRAM of operation.

[Drawing 12] It is drawing showing the wave of "1" data read-out / refresh by other read-out methods of this DRAM of operation.

[Drawing 13] It is drawing showing the wave of "0" data read-out / refresh by other read-out methods of this DRAM of operation.

[Drawing 14] It is drawing showing the wave of "1" data read-out / "0" data writing by other read-out methods of this DRAM of operation.

[Drawing 15] It is drawing showing the wave of "0" data read-out / "1" data writing by other read-out methods of this DRAM of operation.

[Drawing 16] It is drawing showing body potential for the relation between the drain current  $I_d$  by pentode actuation of an MOS transistor, and gate voltage  $V_g$  as a parameter.

[Drawing 17] It is drawing showing the equal circuit of DRAM by the gestalt of implementation of this invention.

[Drawing 18] It is drawing showing the equal circuit of the cel array of this DRAM.

[Drawing 19] It is drawing showing the output potential wave of a potential generating circuit required for the initialization mode of this DRAM.

[Drawing 20] It is a wave form chart for explaining the initialization mode of this DRAM.

[Drawing 21] It is drawing showing the output potential wave of a potential generating circuit required for other initialization modes of this DRAM.

[Drawing 22] It is a wave form chart for explaining this initialization mode.

[Drawing 23] It is drawing showing the output potential wave of a potential generating circuit required for other initialization modes of this DRAM.

[Drawing 24] It is a wave form chart for explaining this initialization mode.

[Drawing 25] It is drawing showing the structure of other DRAM cels.

[Drawing 26] It is the representative circuit schematic of this DRAM cel.

[Drawing 27] It is the equal circuit of the cel array using this DRAM cel.

[Drawing 28] It is the equal circuit of other cel arrays using this DRAM cel.

[Drawing 29] It is drawing showing the output potential wave of a potential generating circuit required for the initialization mode of this DRAM.

[Drawing 30] It is a wave form chart for explaining the initialization mode of this DRAM.

[Drawing 31] It is drawing showing the GIDL current characteristic of a memory cell.

[Drawing 32] It is drawing showing the output potential wave of a potential generating circuit required for the initialization mode using a GIDL current.

[Drawing 33] It is a wave form chart for explaining this initialization mode.

[Description of Notations]

10 -- silicon substrate, 11 -- silicon oxide, and 12 -- a silicon layer, 13 -- gates electrodes, 14 -- drain diffusion layer, and 15 -- a source diffusion layer, 16 -- gate dielectric film, 21 -- memory cell array, and 22 -- the column gate, 23 -- sense amplifier, 24 -- column decoder, and 25 -- a low decoder / word line driver, 26 -- address buffer, 27 -- I/O buffer, and 28 -- a power-on detector, 29 -- potential generating circuit, and 30 -- control circuit.

---

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002-260381

(P2002-260381A)

(43)公開日 平成14年9月13日(2002.9.13)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード(参考)
G 1 1 C 11/404		G 1 1 C 11/34	3 5 2 C 5 F 0 8 3
	11/407		3 5 4 D 5 M 0 2 4
	11/401		3 7 1 E
H 0 1 L 21/8242		H 0 1 L 27/10	3 2 1
	27/108		

審査請求 未請求 請求項の数10 O L (全 15 頁)

(21)出願番号 特願2001-54621(P2001-54621)

(22)出願日 平成13年2月28日(2001.2.28)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72)発明者 藤田 勝之

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72)発明者 大澤 隆

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(74)代理人 100092820

弁理士 伊丹 勝

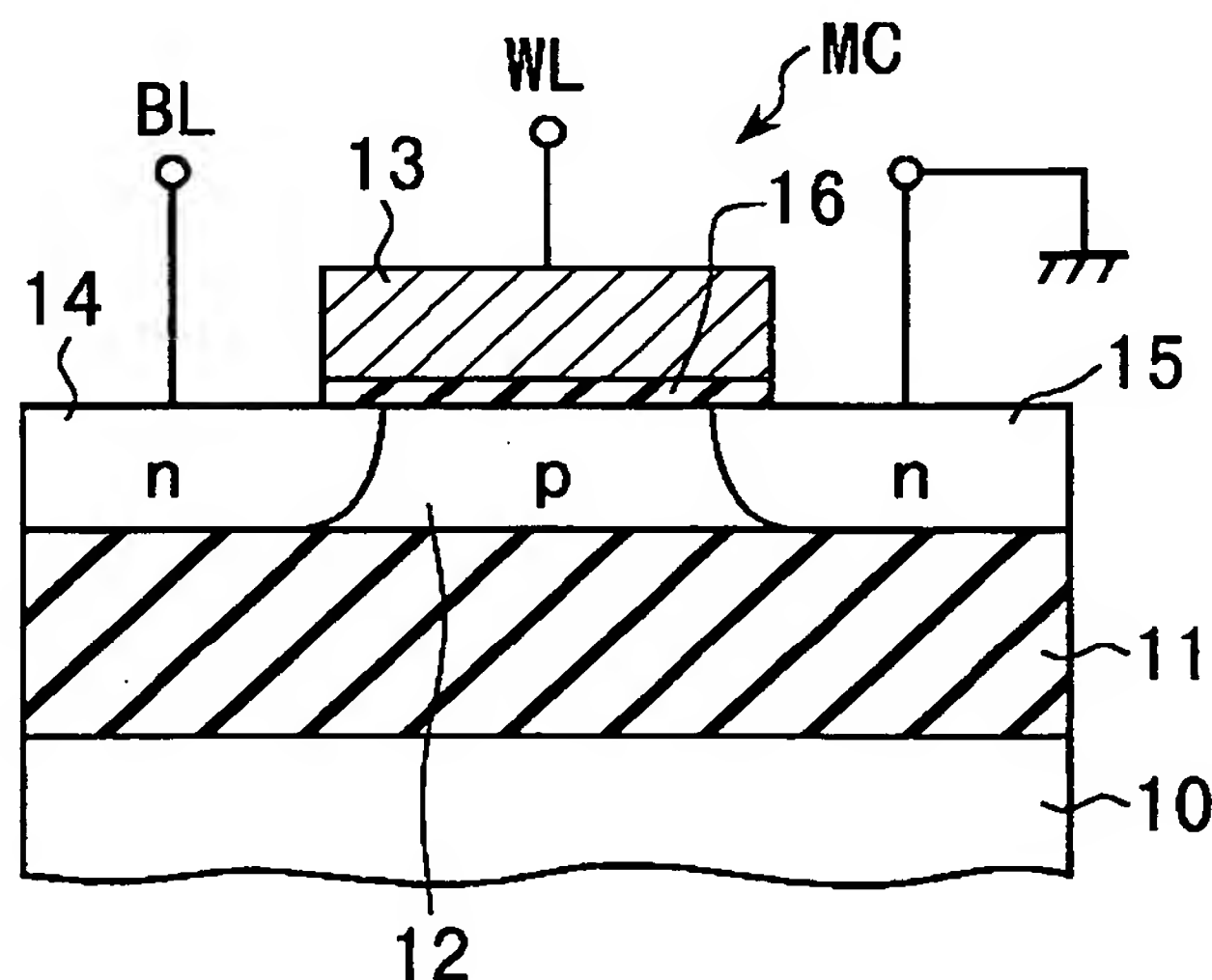
最終頁に続く

(54)【発明の名称】 半導体メモリ装置

(57)【要約】

【課題】 単純なトランジスタ構造をメモリセルとして、少ない信号線で二値データのダイナミック記憶を可能とした半導体メモリ装置を提供する。

【解決手段】 SOI基板のシリコン層12に形成された一つのMISトランジスタを1ビットのメモリセルMCとして複数のメモリセルが配列され、第1の方向に並ぶメモリセルMCのゲート13がワード線WLに接続され、第2の方向に並ぶメモリセルのドレイン14がビット線BLに接続され、全メモリセルMCのソース15が固定電位線に接続されたメモリセルアレイを有する。メモリセルMCは、シリコン層12に過剰の多数キャリアが保持された第1のしきい値電圧を有する第1データ状態と、シリコン層12の過剰の多数キャリアが放出された第2のしきい値電圧を有する第2データ状態とをダイナミックに記憶し、且つ任意のビット単位でのデータ書き換えを可能としたものであり、更に、メモリセルアレイの全メモリセルMCを第1データ状態に書き込む初期化モードを有する





## 【特許請求の範囲】

【請求項 1】 フローティングの半導体層に形成された一つの M I S トランジスタを 1 ビットのメモリセルとして複数のメモリセルが配列され、第 1 の方向に並ぶメモリセルのゲートがワード線に接続され、第 2 の方向に並ぶメモリセルのドレインがビット線に接続され、全メモリセルのソースが固定電位線に接続されたメモリセルアレイを有し、

前記メモリセルは、ドレイン近傍でインパクトイオン化を起こして前記半導体層を第 1 の電位に設定した第 1 データ状態と、ドレイン接合に順方向電流を流して前記半導体層を第 2 の電位に設定した第 2 データ状態とをダイナミックに記憶するものであって、且つ前記メモリセルアレイの全メモリセルを前記第 1 データ状態に書き込む初期化モードを有することを特徴とする半導体メモリ装置。

【請求項 2】 前記第 1 データ状態は、前記メモリセルを 5 極管動作させることによりドレイン接合近傍でインパクトイオン化を起こすことにより書き込まれ、前記第 2 データ状態は、前記ゲートからの容量結合により所定電位が与えられた前記半導体層と前記ドレインとの間に順方向バイアスを与えることにより書き込まれることを特徴とする請求項 1 記載の半導体メモリ装置。

【請求項 3】 データ書き込みモードにおいて、前記固定電位線を基準電位として、選択ワード線に前記基準電位より高い第 1 の制御電位が与えられ、非選択ワード線に前記基準電位より低い第 2 の制御電位が与えられ、選択ビット線には第 1 及び第 2 データ状態に応じてそれぞれ前記基準電位より高い第 3 の制御電位及び前記基準電位より低い第 4 の制御電位が与えられ且つ、前記初期化モードでは、ワード線及びビット線にそれぞれ前記第 1 の制御電位及び第 3 の制御電位より高い制御電位が与えられることを特徴とする請求項 1 記載の半導体メモリ装置。

【請求項 4】 データ書き込みモードにおいて、前記固定電位線を基準電位として、選択ワード線に前記基準電位より高い第 1 の制御電位が与えられ、非選択ワード線に前記基準電位より低い第 2 の制御電位が与えられ、選択ビット線には第 1 及び第 2 データ状態に応じてそれぞれ前記基準電位より高い第 3 の制御電位及び前記基準電位より低い第 4 の制御電位が与えられ且つ、前記初期化モードでは、ワード線に前記第 1 の制御電位より高い制御電位が与えられ、ビット線に前記第 3 の制御電位が与えられることを特徴とする請求項 1 記載の半導体メモリ装置。

【請求項 5】 データ書き込みモードにおいて、前記固定電位線を基準電位として、選択ワード線に前記基準電位より高い第 1 の制御電位が与えられ、非選択ワード線に前記基準電位より低い第 2 の制御電位が与えられ、選択ビット線には第 1 及び第 2 データ状態に応じてそれぞれ

前記基準電位より高い第 3 の制御電位及び前記基準電位より低い第 4 の制御電位が与えられ且つ、前記初期化モードにおいて、ワード線に前記第 1 の制御電位が与えられ、ビット線に前記第 3 の制御電位より高い制御電位が与えられることを特徴とする請求項 1 記載の半導体メモリ装置。

【請求項 6】 データ書き込みモードにおいて、前記固定電位線を基準電位として、選択ワード線に前記基準電位より高い第 1 の制御電位が与えられ、非選択ワード線に前記基準電位より低い第 2 の制御電位が与えられ、選択ビット線には第 1 及び第 2 データ状態に応じてそれぞれ前記基準電位より高い第 3 の制御電位及び前記基準電位より低い第 4 の制御電位が与えられ且つ、前記初期化モードにおいて、ワード線に前記第 1 の制御電位が与えられ、ビット線に前記第 3 の制御電位が与えられることを特徴とする請求項 1 記載の半導体メモリ装置。

【請求項 7】 データ書き込みモードにおいて、前記固定電位線を基準電位として、選択ワード線に前記基準電位より高い第 1 の制御電位が与えられ、非選択ワード線に前記基準電位より低い第 2 の制御電位が与えられ、選択ビット線には第 1 及び第 2 データ状態に応じてそれぞれ前記基準電位より高い第 3 の制御電位及び前記基準電位より低い第 4 の制御電位が与えられ且つ、前記初期化モードにおいて、ワード線に前記第 2 の制御電位が与えられ、ビット線に前記第 3 の制御電位より高い制御電位が与えられ、ドレイン接合のリーク電流により第 1 データ状態に書き込まれるようにしたことを特徴とする請求項 1 記載の半導体メモリ装置。

【請求項 8】 前記メモリセルは、前記ゲートとは別に、前記半導体層の電位を容量カップリングにより制御するための補助ゲートを有することを特徴とする請求項 1 記載の半導体メモリ装置。

【請求項 9】 前記初期化モードにおいて、前記補助ゲートに定常状態より高い電位が与えられることを特徴とする請求項 8 記載の半導体メモリ装置。

【請求項 10】 前記初期化モードは、チップ内部で電源投入を検出して自動的に実行されることを特徴とする請求項 1 記載の半導体メモリ装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 この発明は、ダイナミック型半導体メモリ装置 (D R A M) に関する。

## 【0002】

【従来の技術】 従来の D R A M は、M O S トランジスタとキャパシタによりメモリセルが構成されている。D R A M の微細化は、トレンチキャパシタ構造やスタックトキャパシタ構造の採用により大きく進んでいる。現在、単位メモリセルの大きさ (セルサイズ) は、最小加工寸法を  $F$  として、 $2 F \times 4 F = 8 F^2$  の面積まで縮小され

ている。つまり、最小加工寸法  $F$  が世代と共に小さくなり、セルサイズを一般に  $\alpha F^2$  としたとき、係数  $\alpha$  も世代と共に小さくなり、 $F = 0.18 \mu\text{m}$  の現在、 $\alpha = 8$  が実現されている。

【0003】 今後も従来と変わらないセルサイズ或いはチップサイズのトレンドを確保するためには、 $F < 0.18 \mu\text{m}$  では、 $\alpha < 8$ 、更に  $F < 0.13 \mu\text{m}$  では、 $\alpha < 6$  を満たすことが要求され、微細加工と共に如何にセルサイズを小さい面積に形成するかが大きな課題になる。そのため、1 トランジスタ/1 キャパシタのメモリセルを  $6F^2$  や  $4F^2$  の大きさにする提案も種々なされている。しかし、トランジスタを縦型にしなければならないといった技術的困難や、隣接メモリセル間の電氣的干渉が大きくなるといった問題、更に加工や膜生成等の製造技術上の困難があり、実用化は容易ではない。

【0004】 これに対して、キャパシタを用いず、1 トランジスタをメモリセルとする DRAM の提案も、以下に挙げるようにいくつかなされている。

① JOHN E. LEISS et al, "dRAM Design Using the Taper-Isolated Dynamic Cell" (IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. SC-17, NO. 2, APRIL 1982, pp337-344)

② 特開平 3-171768 号公報

③ Marnix R. Tack et al, "The Multistable Charge-Controlled Memory Effect in SOI MOS Transistors at Low Temperatures" (IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 37, MAY, 1990, pp1373-1382)

④ Hsing-jen Wann et al, "A Capacitorless DRAM Cell on SOI Substrate" (IEDM93, pp635-638)

#### 【0005】

【発明が解決しようとする課題】 ①のメモリセルは、埋め込みチャネル構造の MOS トランジスタを用いて構成される。素子分離絶縁膜のテーパ部に形成される寄生トランジスタを利用して、表面反転層の充放電を行い、二値記憶を行う。

②のメモリセルは、個々にウェル分離された MOS トランジスタを用い、MOS トランジスタのウェル電位により決まるしきい値を二値データとする。

③のメモリセルは、SOI 基板上の MOS トランジスタにより構成される。SOI 基板の側から大きな負電圧を印加してシリコン層の酸化膜と界面部でのホール蓄積を利用し、このホールの放出、注入により二値記憶を行う。

④のメモリセルは、SOI 基板上の MOS トランジスタにより構成される。MOS トランジスタは構造上一つであるが、ドレイン拡散層の表面に重ねて逆導電型層が形成され、実質的に書き込み用 PMOS トランジスタと読み出し用 NMOS トランジスタを一体に組み合わせた構造としている。NMOS トランジスタの基板領域をフローティングのノードとして、その電位により二値データを記憶する。

【0006】 しかし、①は構造が複雑であり、寄生トランジスタを利用していることから、特性の制御性にも難点がある。②は、構造は単純であるが、トランジスタのドレイン、ソース共に信号線に接続して電位制御する必要がある。また、ウェル分離であるため、セルサイズが大きく、しかもビット毎の書き換えができない。③では、SOI 基板側からの電位制御を必要としており、従ってビット毎の書き換えができず、制御性に難点がある。④は特殊トランジスタ構造を必要とし、またメモリセルには、ワード線、ライトビット線、リードビット線、ページ線を必要とするため、信号線数が多くなる。

【0007】 この発明は、単純なトランジスタ構造をメモリセルとして、少ない信号線で二値データのダイナミック記憶を可能とした半導体メモリ装置を提供することを目的としている。

#### 【0008】

【課題を解決するための手段】 この発明に係る半導体メモリ装置は、フローティングの半導体層に形成された一つの MIS トランジスタを 1 ビットのメモリセルとして複数のメモリセルが配列され、第 1 の方向に並ぶメモリセルのゲートがワード線に接続され、第 2 の方向に並ぶメモリセルのドレインがビット線に接続され、全メモリセルのソースが固定電位線に接続されたメモリセルアレイを有し、前記メモリセルは、ドレイン接合近傍でインパクトイオン化を起こして前記半導体層を第 1 の電位に設定した第 1 データ状態と、ドレイン接合に順方向電流を流して前記半導体層を第 2 の電位に設定した第 2 データ状態とをダイナミックに記憶するものであり、且つ、前記メモリセルアレイの全メモリセルを前記第 1 データ状態に書き込む初期化モードを有することを特徴とする。

【0009】 この発明によると、一つのメモリセルは、フローティングの半導体層をボディ領域として持つ単なる一つの MIS トランジスタにより形成され、セルサイズを  $4F^2$  と小さくすることができる。トランジスタのソースは固定電位線に接続され、ドレインに接続されたビット線とゲートに接続されたワード線の制御のみによって、読み出し、書き換え及びリフレッシュの制御が行われる。即ち任意ビット単位でのデータ書き換えも可能である。また、この発明によるメモリセルは基本的に非破壊読み出しであるので、センスアンプをビット線毎に設ける必要がなく、言い換えれば、ワード線により同時に選択されるメモリセルの全てに対してセンスアンプを設ける必要がなく、従ってセンスアンプのレイアウトは容易になる。更に、メモリセルは電流読み出しであるので、耐ノイズ性に優れており、オープンビット線方式を用いることもできる。

【0010】 この発明において、具体的に、第 1 データ状態は、メモリセルを 5 極管動作させることによりドレイン接合近傍でインパクトイオン化を起こして、生成さ



れた多数キャリアを半導体層に保持することにより書き込まれ、第2データ状態は、ゲートからの容量結合により所定電位が与えられた半導体層とドレインとの間に順方向バイアスを与えて、半導体層の多数キャリアをドレインに引き抜くことにより書き込まれる。これらのデータ状態は、ゲートに対して、ソースに与えられる基準電位より低いデータ保持用の電位を与えることにより、保持される。

【0011】一方、この発明によるメモリセルは、フローティングのボディを持つため、電源投入後の初期状態でのボディ電位がどのような値になるか不定である。このため例えば、初期のボディ電位が低すぎて正常なデータ書き込みができなくなるおそれが生じる。これに対してこの発明では、メモリセルアレイの全メモリセルについて強制的に第1データ状態を書き込む初期化モードを備えることにより、その後の通常動作を保証することができる。

【0012】初期化モードは、具体的には、次のような幾つかの態様が考えられる。

(a) ワード線及びビット線にそれぞれ、通常の第1データ状態の書き込み時における第1の制御電位及び第3の制御電位より高い制御電位を与える方式。これにより、確実に第1データ状態に初期化することができる。

(b) ワード線には、通常の第1データ状態書き込みにおける第1の制御電位より高い制御電位を与え、ビット線には通常の第1データ状態書き込みにおける第3の制御電位を与える方式、或いは逆に、ワード線には、通常の第1データ状態書き込みにおける第1の制御電位を与え、ビット線には通常の第1データ状態書き込みにおける第3の制御電位より高い制御電位を与える方式。これによっても、ほぼ確実に第1データ状態に初期化することができる。

(c) ワード線に通常の第1データ状態書き込みにおける第1の制御電位を与え、ビット線に通常の第1データ状態書き込みにおける第3の制御電位を与える方式。この方式は、初期状態のボディが低電位にある場合、初期化が簡単ではないが、ある程度の時間をかければ、第1データ状態に初期化することができる。

【0013】以上の初期化モードの態様(a)～(c)は、いずれも、通常の第1データ状態の書き込みと同じメモリセルの5極管動作による初期化を行うものである。これに対して、別の原理でメモリセルアレイを第1データ状態に初期化する次のような態様(d)も考えられる。

(d) ワード線にはデータ保持状態を保つ第2の制御電位を与えた状態で、ビット線に通常の第1データ状態書き込みにおける第3の制御電位より高い電位を与え、GIDL (Gate Induced Drain Leakage Current) により第1データ状態に初期化する方式。

【0014】この発明において好ましくは、メモリセルは、通常のゲートとは別に、フローティングの半導体層の電位を容量カップリングにより制御するための補助ゲートを有するものとする。この様な補助ゲートを備えた場合には、この補助ゲートからの容量カップリングによりボディ電位を制御して、初期化動作をより確実に行わせることができる。またこの発明において好ましくは、初期化モードは、チップ内部で電源投入を検出して自動的に実行されるものとする。

【0015】

【発明の実施の形態】図1はこの発明によるDRAMの単位メモリセルの断面構造を示し、図2はその等価回路を示している。メモリセルMCは、SOI構造のNチャネルMISトランジスタにより構成されている。即ち、シリコン基板10上に絶縁膜としてシリコン酸化膜11が形成され、このシリコン酸化膜11上にp型シリコン層12が形成されたSOI基板が用いられている。この基板のシリコン層12上に、ゲート酸化膜16を介してゲート電極13が形成され、ゲート電極13に自己整合されてn型ソース、ドレイン拡散層14、15が形成されている。

【0016】ソース、ドレイン拡散層14、15は、底部のシリコン酸化膜11に達する深さに形成されている。従って、p型シリコン層12からなるボディ領域は、チャネル幅方向(図の紙面に直交する方向)の分離を酸化膜で行うとすれば、底面及びチャネル幅方向の側面が他から絶縁分離され、チャネル長方向はpn接合分離されたフローティング状態になる。このメモリセルMCをマトリクス配列する場合、ゲート電極13はワード線WLに接続され、ソース拡散層15は固定電位線(接地電位線)に接続され、ドレイン拡散層14はビット線BLに接続される。

【0017】図3は、メモリセルアレイのレイアウトを示し、図4(a)、(b)はそれぞれ図3のA-A'、B-B'断面を示している。p型シリコン層12は、シリコン酸化膜21の埋め込みにより、格子状にパターン形成される。即ちドレインを共有する二つのトランジスタの領域がワード線WL方向にシリコン酸化膜21により素子分離されて配列される。或いはシリコン酸化膜21の埋め込みに代わって、シリコン層12をエッチングすることにより、横方向の素子分離を行っても良い。ゲート電極13は一方向に連続的に形成されて、これがワード線WLとなる。ソース拡散層15は、ワード線WL方向に連続的に形成されて、これが固定電位線(共通ソース線)となる。トランジスタ上は層間絶縁膜23で覆われこの上にビット線BLが形成される。ビット線BLは、二つのトランジスタで共有するドレイン拡散層14にコンタクトして、ワード線WLと交差するように配設される。

【0018】これにより、各トランジスタのボディ領域

であるシリコン層 12 は、底面及びチャネル幅方向の側面が酸化膜により互いに分離され、チャネル長方向には p n 接合により互いに分離されてフローティング状態に保たれる。そしてこのメモリセルアレイ構成では、ワード線 WL およびビット線 BL を最小加工寸法 F のピッチで形成したとして、単位セル面積は、図 3 に破線で示したように、 $2F \times 2F = 4F^2$  となる。

【0019】この NMOS トランジスタからなる DRAM セルの動作原理は、MOS トランジスタのボディ領域（他から絶縁分離された p 型シリコン層 12）の多数キャリアであるホールの蓄積を利用する。即ち、MOS トランジスタを 5 極管領域で動作させることにより、ドレイン拡散層 14 から大きな電流を流し、ドレイン拡散層 14 の近傍でインパクトイオン化を起こす。このインパクトイオン化により生成される過剰の多数キャリアであるホールを p 型シリコン層 12 に保持させ、そのホール蓄積状態を例えばデータ “1” とする。ドレイン拡散層 14 と p 型シリコン層 12 の間の p n 接合を順方向バイアスして、p 型シリコン層 12 の過剰ホールをドレイン側に放出した状態をデータ “0” とする。

【0020】データ “0”，“1” は、ボディの電位の差であり、MOS トランジスタのしきい値電圧の差として記憶される。即ち、ホール蓄積によりボディ領域の電位が高いデータ “1” 状態のしきい値電圧  $V_{th1}$  は、データ “0” 状態のしきい値電圧  $V_{th0}$  より低い。ボディに多数キャリアであるホールを蓄積した “1” データ状態を保持するためには、ワード線には負のバイアス電圧を印加することが必要になる。このデータ保持状態は、逆データの書き込み動作（消去）を行わない限り、読み出し動作を行っても変わらない。即ち、キャパシタの電荷蓄積を利用する 1 トランジスタ / 1 キャパシタの DRAM と異なり、非破壊読み出しが可能である。

【0021】データ読み出しの方式には、いくつか考えられる。ワード線電位  $V_{WL}$  とボディ電位  $V_B$  の関係は、データ “0”，“1” と関係で図 5 のようになる。従ってデータ読み出しの第 1 の方法は、ワード線 WL にデータ “0”，“1” のしきい値電圧  $V_{th0}$ ， $V_{th1}$  の中間になる読み出し電位を与えて、“0” データのメモリセルでは電流が流れず、“1” データのメモリセルでは電流が流れることを利用する。具体的には例えば、ビット線 BL を所定の電位  $V_{BL}$  にプリチャージして、その後ワード線 WL を駆動する。これにより、図 6 に示すように、“0” データの場合、ビット線プリチャージ電位  $V_{BL}$  の変化がなく、“1” データの場合はプリチャージ電位  $V_{BL}$  が低下する。

【0022】第 2 の読み出し方式は、ワード線 WL を立ち上げてから、ビット線 BL に電流を供給して、“0”，“1” の導通度に応じてビット線電位の上昇速度が異なることを利用する。簡単には、ビット線 BL を 0 V にプリチャージし、図 7 に示すようにワード線 WL

を立ち上げて、ビット線電流を供給する。このとき、ビット線の電位上昇の差をダミーセルを利用して検出することにより、データ判別が可能となる。

【0023】第 3 の読み出し方式は、ビット線 BL を所定の電位にクランプしたときの、“0”，“1” で異なるビット線電流の差を読む方式である。電流差を読み出すには、電流－電圧変換回路が必要であるが、最終的には電位差を差動増幅して、センス出力を出す。

【0024】この発明において、選択的に “0” データを書き込むためには、即ちメモリセルアレイのなかで選択されたワード線 WL とビット線 BL の電位により選択されたメモリセルのバルク領域のみから過剰ホールを放出させるには、ワード線 WL とボディの間の容量結合が本質的になる。データ “1” でボディ領域にホールが蓄積された状態は、ワード線を十分負方向にバイアスして、メモリセルのゲート・基板間容量が、ゲート酸化膜容量となる状態（即ち表面に空乏層が形成されていない状態）で保持することが必要である。

【0025】より具体的な動作波形を説明する。図 8 ～ 図 11 は、選択セルによるビット線の放電の有無によりデータ判別を行う第 1 の読み出し方式を用いた場合のリード / リフレッシュ及びリード / ライトの動作波形である。図 8 及び図 9 は、それぞれ “1” データ及び “0” データのリード / リフレッシュ動作である。時刻  $t_1$  までは、データ保持状態（非選択状態）であり、ワード線 WL には負電位が与えられている。時刻  $t_1$  でワード線 WL を正の所定電位に立ち上げる。このときワード線電位は、“0”，“1” データのしきい値  $V_{th0}$ ， $V_{th1}$  の間に設定する。これにより、“1” データの場合、予めプリチャージされていたビット線  $V_{BL}$  は放電により低電位になる。“0” データの場合はビット線電位  $V_{BL}$  は保持される。これにより “1”，“0” データが判別される。

【0026】そして、時刻  $t_2$  で、ワード線 WL の電位を更に高くし、同時に読み出しデータが “1” の場合には、ビット線 BL に正電位を与え（図 8）、読み出しデータが “0” の場合はビット線 BL に負電位を与える

（図 9）。これにより、選択メモリセルが “1” データの場合、5 極管動作により大きなチャネル電流が流れてインパクトイオン化が起こり、ボディに過剰のホールが注入保持されて再度 “1” データが書き込まれる。

“0” データの場合には、ドレイン接合が順方向バイアスになり、ボディに過剰ホールが保持されていない

“0” データが再度書き込まれる。

【0027】そして、時刻  $t_3$  でワード線 WL を負方向にバイアスして、リード / リフレッシュ動作を終了する。“1” データ読み出しを行ったメモリセルと同じビット線 BL につながる他の非選択メモリセルでは、ワード線 WL が負電位、従ってボディが負電位に保持されて、インパクトイオン化は起こらない。“0” データ読



み出しを行ったメモリセルと同じビット線BLにつながる他の非選択メモリセルでは、やはりワード線WLが負電位に保持されて、ホール放出は起こらない。

【0028】図10及び図11は、同じ読み出し方式によるそれぞれ“1”データ及び“0”データのリード／ライト動作である。図10及び図11での時刻 $t_1$ での読み出し動作はそれぞれ、図8及び図9と同様である。読み出し後、時刻 $t_2$ でワード線WLを更に高電位とし、同じ選択セルに“0”データを書き込む場合には同時に、ビット線BLに負電位を与え（図10）、“1”データを書き込む場合にはビット線BLに正電位を与える（図11）。これにより、“0”データが与えられたセルでは、ドレイン接合が順方向バイアスになり、ボディのホールが放出される。“1”データが与えられたセルでは、ドレイン近傍でインパクトイオン化が起こり、ボディに過剰ホールが注入保持される。

【0029】図12～図15は、ビット線BLを0Vにプリチャージし、ワード線選択後にビット線BLに電流を供給して、ビット線BLの電位上昇速度によりデータ判別を行う第2の読み出し方式を用いた場合のリード／リフレッシュ及びリード／ライトの動作波形である。図12及び図13は、それぞれ“1”データ及び“0”データのリード／リフレッシュ動作である。負電位に保持されていたワード線WLを、時刻 $t_1$ で正電位に立ち上げる。このときワード線電位は、図7に示したように、“0”，“1”データのしきい値 $V_{th0}$ ， $V_{th1}$ のいずれよりも高い値に設定する。或いは、ワード線電位を、第1の読み出し方式と同様に、“0”，“1”データのしきい値 $V_{th0}$ ， $V_{th1}$ の間に設定してもよい。そして、時刻 $t_2$ でビット線に電流を供給する。これにより、“1”データの場合、メモリセルが深くオンしてビット線BLの電位上昇は小さく（図12）、“0”データの場合メモリセルの電流が小さく（或いは電流が流れず）、ビット線電位は急速に上昇する。これにより“1”，“0”データが判別される。

【0030】そして、時刻 $t_3$ で、読み出しデータが“1”の場合には、ビット線BLに正の電位を与え（図12）、読み出しデータが“0”の場合はビット線BLに負の電位を与える（図13）。これにより、選択メモリセルが“1”データの場合、ドレイン電流が流れてインパクトイオン化が起こり、ボディに過剰ホールが注入保持されて再度“1”データが書き込まれる。“0”データの場合には、ドレイン接合が順方向バイアスになり、ボディに過剰ホールのない“0”データが再度書き込まれる。時刻 $t_4$ でワード線WLを負方向にバイアスして、リード／リフレッシュ動作を終了する。

【0031】図14及び図15は、同じ読み出し方式によるそれぞれ“1”データ及び“0”データのリード／ライト動作である。図14及び図15での時刻 $t_1$ 及び $t_2$ での読み出し動作はそれぞれ、図12及び図13と

同様である。読み出し後、同じ選択セルに“0”データを書き込む場合には、ビット線BLに負電位を与え（図14）、“1”データを書き込む場合にはビット線BLに正電位を与える（図15）。これにより、“0”データが与えられたセルでは、ドレイン接合が順方向バイアスになり、ボディの過剰ホールが放出される。“1”データが与えられたセルでは、大きなドレイン電流が流れてドレイン近傍でインパクトイオン化が起こり、ボディに過剰ホールが注入保持される。

【0032】以上のようにこの発明によるDRAMセルは、他から電氣的に分離されたフローティングのボディを持つ単純なMOSトランジスタにより構成され、4F<sup>2</sup>のセルサイズが実現可能である。また、フローティングのボディの電位制御は、ゲート電極からの容量結合を利用しており、ソース拡散層は固定電位である。即ち、読み出し／書き込みの制御は、ワード線WLとビット線BLのみで行われ、簡単である。更にメモリセルは基本的に非破壊読み出しであるので、センスアンプをビット線毎に設ける必要がなく、センスアンプのレイアウトは容易になる。更に電流読み出し方式であるので、ノイズにも強く、例えばオープンビット線方式でも読み出しが可能である。また、メモリセルの製造プロセスも簡単である。

【0033】ここまでは、基本的なメモリ動作を説明したが、電源投入直後等においては、動作保証が問題になる。即ち、メモリセルのボディはフローティングであるため、ボディの電位は、高い方はソースの基準電位に対してビルトインポテンシャルに保持されるものの、低い方は不定であり、低くなりすぎている可能性がある。そしてそのままでは、“1”データ書き込みのための5極管動作ができないおそれがある。

【0034】このことは、図16に示す特性からも推測される。図16は、通常のMOSトランジスタについて、ボディ電位 $V_b$ をパラメータとして、ドレイン電流 $I_d$ と基板電流 $I_{sub}$ のゲート電圧 $V_g$ 依存性を示している。ゲートに高い電位 $V_{WLH}$ を与えて5極管動作させてインパクトイオン化を起こしたとき、発生するホール電流は基板電流 $I_{sub}$ として観測される。図16は、ボディ電位 $V_b$ を負方向にシフトすると、基板電流 $I_{sub}$ が減少することを示している。従って、この発明の場合も、初期状態でボディ電位が大きな負になっていると、そのまでは“1”データ書き込みができなくなる可能性がある。そこでこの発明においては、電源投入時等にメモリセルアレイを初期化する動作を行う。

【0035】以下、その様な初期化モードを備えた実施の形態を具体的に説明する。図17は、DRAMチップ全体の構成を示す。メモリセルアレイ21は、図18に示すように、メモリセルMCがマトリクス配列されて、複数のメモリセルのゲートが共通接続されるワード線WLと、複数のメモリセルのドレインが共通接続されるビ

ット線BLが交差して配設されて構成される。メモリセルアレイ21のビット線BLは、カラムデコーダ24により制御されるカラムゲート22を介してセンスアンプ23に接続される。メモリセルアレイ21のワード線WLは、ロウデコーダ/ワード線ドライバ25により選択されて駆動される。

【0036】センスアンプ23とI/O端子の間のデータ転送はI/Oバッファ27を介して行われる。また外部アドレスはI/Oバッファ27を介してアドレスバッファ26に取り込まれ、ロウアドレス、カラムアドレスがそれぞれロウデコーダ/ワード線ドライバ25及びカラムデコーダ24に供給される。

【0037】電位発生回路29は、ワード線WLに与えられるデータ書き込み時の高電位VWLH、データホールド時の低電位VWLL、データ読み出し時の中間電位VWLRを発生し、またビット線BLに与えられる

“1”データ書き込み時の高電位VBLH、“0”データ書き込み時の低電位VBLL、データ読み出し時のプリチャージ電位VBLR等を発生する。

【0038】この電位発生回路29は、外部電源VEXTの投入を検出するパワーオン検出回路28の出力により制御されて、必要な電位を生成する。また、制御回路30は、パワーオン検出回路28の出力を受けて、メモリセルアレイ21の全メモリセルを初期化する初期化動作を制御する。具体的に制御回路30は例えば、アドレスバッファ26内に用意されたアドレスカウンタを動作させ、アドレスをインクリメントして、メモリセルアレイ21の全メモリセルに強制的に“1”データを書き込む初期化動作を制御する。

【0039】或いはまた、制御回路30は、ロウデコーダ25及びカラムデコーダ24を全選択状態として、メモリセルアレイ21の全メモリセルに一括して、強制的に“1”データを書き込むという初期化動作制御を行ってもよい。更に、メモリセルアレイ21が複数のサブセルアレイに分割されている場合に、サブセルアレイ毎に時分割で初期化するという制御も可能である。また、パワーオン検出により、制御回路30が自動的に初期化動作を行う他、I/O端子からのコマンド入力を受けて、同様の初期化動作を行うようにしてもよい。以下に、具体的な初期化動作モードを説明する。

【0040】[第1の初期化モード] 第1の初期化モードでは、ワード線WL及びビット線BLにそれぞれ、通常の“1”データ書き込み時における高電位より高い電位を与える。図19は、この場合の電位発生回路29が出力するワード線に与えられる高電位VWLHとビット線に与えられる高電位VBLHを示している。電源投入後、一定時間Tの間、通常の“1”データ書き込みに用いられるワード線高電位VWLH1、ビット線VBLH1よりもそれぞれ高い電位VWLH0、VBLH0を発生させる。

【0041】図20は、初期化動作とその後のワード線WL、ビット線BLの電位及びそのときのメモリセルのボディ電位VBを示している。初期化動作においては、ワード線WL及びビット線BLに対してそれぞれ、通常の“1”書き込み時より高い電位VWLH0、VBLH0を与えて、ボディ電位VBを十分に上昇させ、インパクトイオン化を生じさせる。これにより、確実に“1”データが書かれる。その後、ワード線WLを負の電位VWLLにしてデータをホールドし、以後通常動作を行う。図では、“1”データ書き込みの動作波形を示している。

【0042】[第2の初期化モード] 第2の初期化モードでは、ビット線BLには通常の“1”書き込みと同じ高電位を用い、ワード線WLには通常の“1”データ書き込み時における高電位より高い電位を与える。図21は、この場合の電位発生回路29が出力するワード線に与えられる高電位VWLHとビット線に与えられる高電位VBLHを示している。電源投入後、一定時間Tの間、通常の“1”データ書き込みに用いられるワード線高電位VWLH1よりも高い電位VWLH0を発生させる。ビット線高電位VBLHは、一定である。

【0043】図22は、初期化動作とその後のワード線WL、ビット線BLの電位及びそのときのメモリセルのボディ電位VBを示している。初期化動作においては、ワード線WLに対して通常の“1”書き込み時より高い電位VWLH0を与えて、ボディ電位VBを十分に上昇させ、インパクトイオン化を生じさせる。これにより、確実に“1”データが書かれる。その後、ワード線WLを負の電位VWLLにしてデータをホールドし、以後通常動作を行う。図では、“1”データ書き込みの動作波形を示している。

【0044】[第3の初期化モード] 第3の初期化モードでは、ワード線WLには通常の“1”書き込みと同じ高電位を用い、ビット線BLには通常の“1”データ書き込み時における高電位より高い電位を与える。図23は、この場合の電位発生回路29が出力するワード線に与えられる高電位VWLHとビット線に与えられる高電位VBLHを示している。電源投入後、一定時間Tの間、通常の“1”データ書き込みに用いられるビット線高電位VBLH1よりも高い電位VBLH0を発生させる。ワード線高電位VWLHは、一定である。

【0045】図24は、初期化動作とその後のワード線WL、ビット線BLの電位及びそのときのメモリセルのボディ電位VBを示している。初期化動作においては、ワード線WLに対して通常の“1”書き込み時と同じ高電位VWLHを与えているが、ビット線BLに通常の“1”書き込み時より高い電位VBLH0を用いているため、効果的にインパクトイオン化を生じさせることができる。これにより、確実に“1”データが書かれる。その後、ワード線WLを負の電位VWLLにしてデータ



状態をホールドし、以後通常動作を行う。図では、“1”データ書き込みの動作波形を示している。

【0046】〔第4の初期化モード〕第4の初期化モードでは、ワード線WL、ビット線共に、通常の“1”書き込みと同じ高電位を用いる。但しこの場合、確実に初期化するためには、初期化動作の時間を例えば通常の書き込み時間より長めに設定することが望ましい。初期化動作時間がある程度以上長く設定すれば、“1”データ状態の初期化が可能である。

【0047】以上の初期化モードは、“1”データ状態の初期化の確実性の高い順に並べると、第1の初期化モード、第2の初期化モード、第3の初期化モード、第4の初期化モードの順になる。この順で初期化動作時のボディ電位が低くなるためである。しかし、確実性の低い初期化モードであっても、次に説明するようにメモリセル構造を変えることにより、より確実な初期化動作を行わせることが可能になる。

【0048】図25が、その様なメモリセル構造を図1に対応させて示している。図1の構造と対比して、図25では、シリコン層12を分離する絶縁膜11（BOX膜）中に、バックゲート電極32を埋設している点で異なる。このバックゲート32は、トランジスタのボディとなるシリコン層12の底面に対してゲート絶縁膜31を介して容量結合する。この場合のメモリセルMCの等価回路を、図26に示す。

【0049】この様なメモリセル構造として、例えばバックゲート32には、負の固定電位（但しメモリセルがpチャネルの場合には、正の固定電位）を与える。これにより、データ保持状態での“1”データの保持特性をより良好なものとすることができる。メモリセルの基本動作は先に説明したように、フロントゲート13からの容量カップリングによりボディ電位を制御することにより成り立つ。しかし、この容量カップリングが大き過ぎる場合には、データ“0”，“1”のしきい値電圧差を十分にとれなくなることが本発明者らの検討により明らかになっている。

【0050】これに対して、バックゲート32を付加してボディに容量カップリングさせることにより、フロントゲート13からボディへの容量カップリング比を小さくすることができ、これにより、データ“0”，“1”のしきい値電圧差をより大きく確保することが可能になる。

【0051】図27は、この様なバックゲート付きのメモリセルMCを用いたメモリセルアレイの等価回路を示している。バックゲート端子VBは、メモリセルアレイ全体で共通接続される。或いは、バックゲート32をフロントゲート13によるワード線WL1と並行するワード線WL2としてパターン形成してもよい。この場合等価回路は、図28のようになる。この場合、フロントゲートに接続されるワード線WL1と、バックゲートに接

続されるワード線WL2とを同期して駆動するようにすることもできる。

【0052】具体的に、バックゲートに接続されるワード線WL2は、データ保持状態では負に保ち、データ書き込み状態ではワード線WL1と同期して、より高い電位にする。これにより、メモリセルアレイ内でのデータ“1”，“0”の選択書き込み特性とデータ保持特性を向上させることができる。

【0053】この様なバックゲート付きのメモリセルMCを用いた場合には、バックゲートによりボディ電位の制御ができることから、初期化動作も容易になる。例えば、先に第4の初期化モードとして説明した、“1”書き込み時の高電位と同じ電位をワード線及びビット線に与える初期化動作の場合に、バックゲートによりボディ電位を上昇させれば、より確実な“1”データの初期化が可能になる。これが、次の示す第5の初期化モードである。

【0054】〔第5の初期化モード〕図29は、この場合の電位発生回路29が出力するワード線に与えられる高電位VWLHとビット線に与えられる高電位VBLH及び、バックゲートに与えられる電位VBGを示している。ワード線高電位VWLH及びビット線高電位VBLHは、一定である。これに対して、バックゲートに与えるための電位VBGは、電源投入後、一定時間Tの間、高い電位VBG0とし、その後通常動作に必要な電位VBG1になる。

【0055】図30は、初期化動作とその後のワード線WL、ビット線BL及びバックゲートBGの電位と、そのときのメモリセルのボディ電位VBを示している。初期化動作においては、ワード線WLに対して通常の

“1”書き込み時と同じ高電位VWLHを与え、ビット線BLにも通常の“1”書き込み時と同じ電位VBLHを与えているが、バックゲートBGに通常動作より高い電位VBG0を与える。これにより、ボディ電位を上昇させて、効果的にインパクトイオン化を生じさせることができ、確実に“1”データが書かれる。その後、ワード線WLを負の電位VWL Lにしてデータ状態をホールドし、バックゲートBGも通常動作時の電位VBG1として、以後通常動作を行う。図では、“1”データ書き込みの動作波形を示している。

【0056】〔第6の初期化モード〕ここまで説明した初期化動作は全て、メモリセルを5極管動作させることにより、インパクトイオン化によって“1”データを書き込むようにしたが、GIDL電流を利用した初期化動作も可能である。図31は、ワード線にデータ保持状態の低い電位VWL Lを与え、ビット線に正電位を与えて、メモリセルにGIDL電流が流れる様子を示している。ビット線から与えられるドレイン電位Vdとワード線から与えられるゲート電位VWL Lの差が大きければ大きいほど、GIDL電流は大きくなる。

【0057】特に、バックゲート付きのメモリセルを用いた場合には、ボディ電位が制御できるから、より大きなGIDL電流を流すことができ、これを利用して効果的な“1”データ初期化ができる。図32は、この場合の電位発生回路29が出力するワード線に与えられる高電位VWLHとビット線に与えられる高電位VBLHを示している。ワード線高電位VWLHは一定である。ビット線高電位VBLHは、電源投入後、一定時間Tの間、高い電位VBLH0とし、その後通常動作に必要な電位VBLH1になる。

【0058】図33は、初期化動作とその後のワード線WL、ビット線BL及びバックゲートBGの電位と、そのときのメモリセルのボディ電位VBを示している。即ち、初期化動作においては、ワード線WLはデータ保持状態の低い電位VWLとし、ビット線BLには通常の“1”書き込みより高い電位VBLH0を与え、同時にバックゲートBGに通常動作より高い電位VBG0を与える。これにより、大きなGIDL電流を流すことができ、“1”データが書かれる。その後、ワード線WLを負の電位VWLにしてデータ状態をホールドし、バックゲートBGも通常動作時の電位VBG1として、以後通常動作を行う。図では、“1”データ書き込みの動作波形を示している。

#### 【0059】

【発明の効果】以上述べたようにこの発明によれば、一つのメモリセルは、フローティングの半導体層をボディ領域として持つ単純な一つのMISトランジスタにより形成され、セルサイズを $4F^2$ と小さくすることができる。トランジスタのソースは固定電位線に接続され、ドレインに接続されたビット線とゲート電極に接続されたワード線の制御のみによって、読み出し、書き換え及びリフレッシュの制御が行われる。即ち任意ビット単位でのデータ書き換えも可能である。またこの発明では、メモリセルアレイの全メモリセルについて強制的に第1データ状態を書き込む初期化モードを備えることにより、その後の通常動作を保証することができる。

#### 【図面の簡単な説明】

【図1】この発明によるDRAMのメモリセル構造を示す断面図である。

【図2】同DRAMのメモリセルの等価回路である。

【図3】同DRAMのメモリセルアレイのレイアウトである。

【図4】図3のA-A'及びB-B'断面図である。

【図5】同DRAMセルのワード線電位とバルク電位の関係を示す図である。

【図6】同DRAMセルの読み出し方式を説明するための図である。

【図7】同DRAMセルの他の読み出し方式を説明するための図である。

【図8】同DRAMの“1”データ読み出し／リフレッ

シュの動作波形を示す図である。

【図9】同DRAMの“0”データ読み出し／リフレッシュの動作波形を示す図である。

【図10】同DRAMの“1”データ読み出し／“0”データ書き込みの動作波形を示す図である。

【図11】同DRAMの“0”データ読み出し／“1”データ書き込みの動作波形を示す図である。

【図12】同DRAMの他の読み出し方式による“1”データ読み出し／リフレッシュの動作波形を示す図である。

【図13】同DRAMの他の読み出し方式による“0”データ読み出し／リフレッシュの動作波形を示す図である。

【図14】同DRAMの他の読み出し方式による“1”データ読み出し／“0”データ書き込みの動作波形を示す図である。

【図15】同DRAMの他の読み出し方式による“0”データ読み出し／“1”データ書き込みの動作波形を示す図である。

【図16】MOSトランジスタの5極管動作によるドレイン電流 $I_d$ とゲート電圧 $V_g$ の関係をボディ電位をパラメータとして示す図である。

【図17】この発明の実施の形態によるDRAMの等価回路を示す図である。

【図18】同DRAMのセルアレイの等価回路を示す図である。

【図19】同DRAMの初期化モードに必要な電位発生回路の出力電位波形を示す図である。

【図20】同DRAMの初期化モードを説明するための波形図である。

【図21】同DRAMの他の初期化モードに必要な電位発生回路の出力電位波形を示す図である。

【図22】同初期化モードを説明するための波形図である。

【図23】同DRAMの他の初期化モードに必要な電位発生回路の出力電位波形を示す図である。

【図24】同初期化モードを説明するための波形図である。

【図25】他のDRAMセルの構造を示す図である。

【図26】同DRAMセルの等価回路図である。

【図27】同DRAMセルを用いたセルアレイの等価回路である。

【図28】同DRAMセルを用いた他のセルアレイの等価回路である。

【図29】同DRAMの初期化モードに必要な電位発生回路の出力電位波形を示す図である。

【図30】同DRAMの初期化モードを説明するための波形図である。

【図31】メモリセルのGIDL電流特性を示す図である。



【図32】GIDL電流を用いた初期化モードに必要な電位発生回路の出力電位波形を示す図である。

【図33】同初期化モードを説明するための波形図である。

【符号の説明】

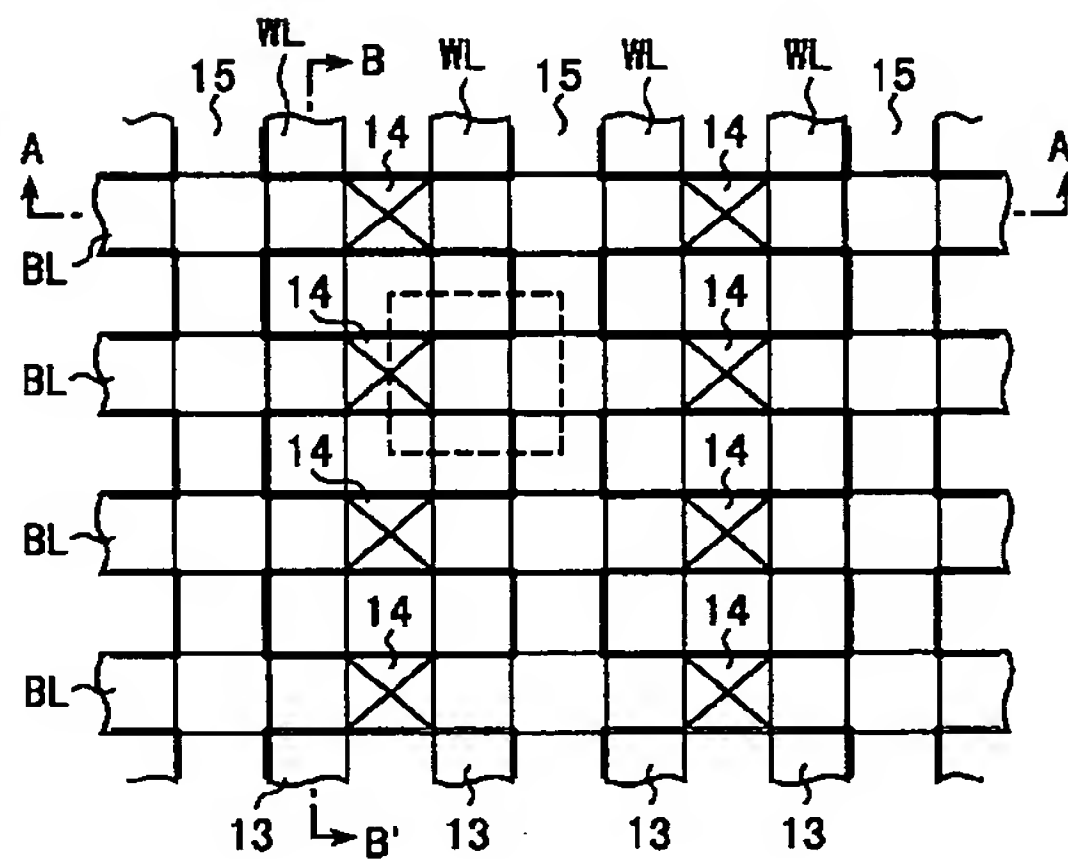
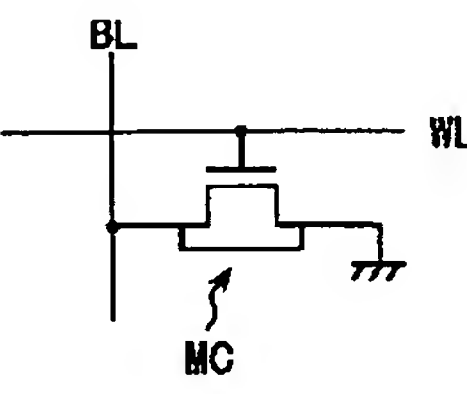
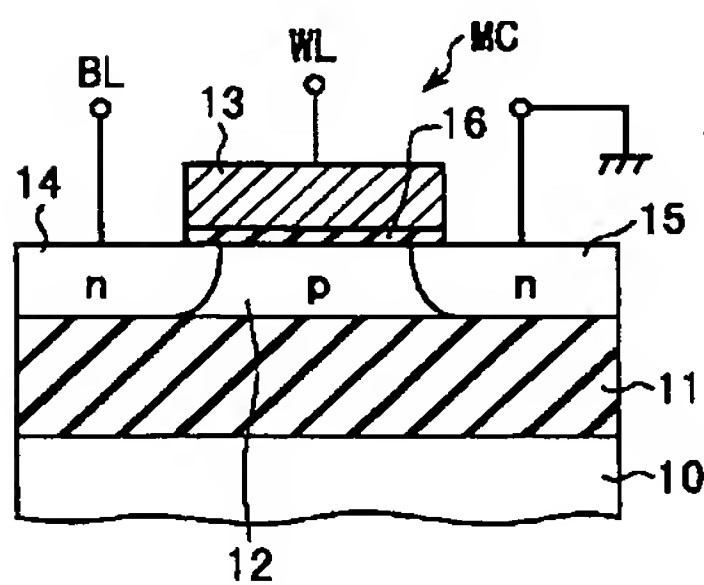
10…シリコン基板、11…シリコン酸化膜、12…シリコン層、13…ゲート電極、14…ドレイン拡散層、

15…ソース拡散層、16…ゲート絶縁膜、21…メモリセルアレイ、22…カラムゲート、23…センスアンプ、24…カラムデコーダ、25…ロウデコーダ/ワード線ドライバ、26…アドレスバッファ、27…I/Oバッファ、28…パワーオン検出回路、29…電位発生回路、30…制御回路。

【図1】

【図2】

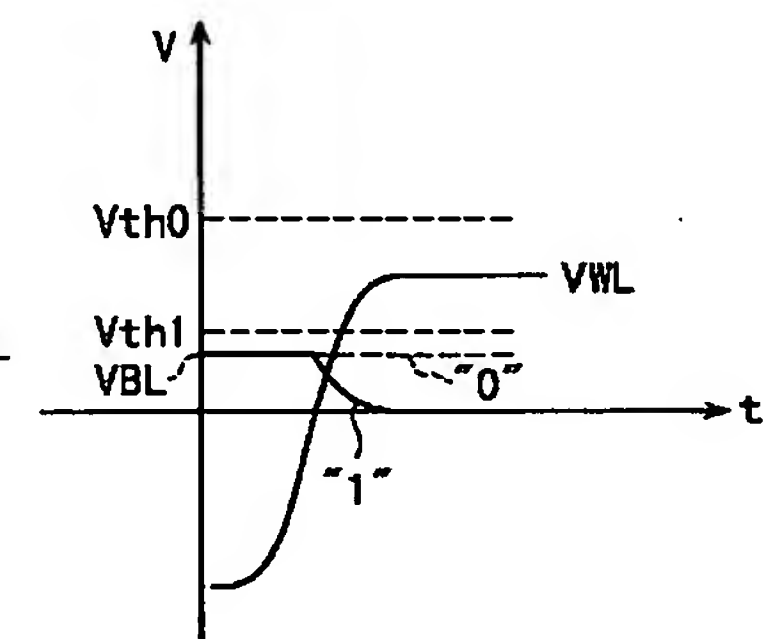
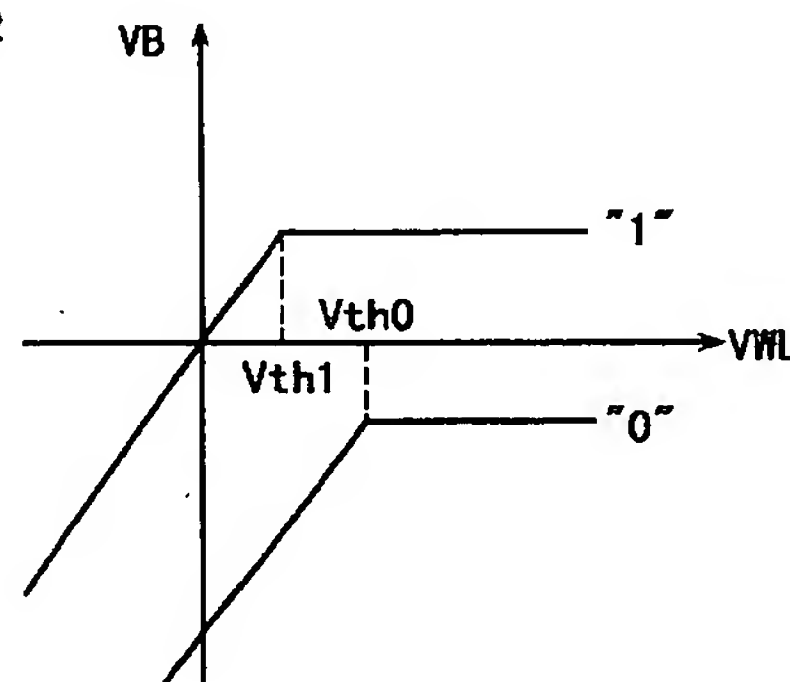
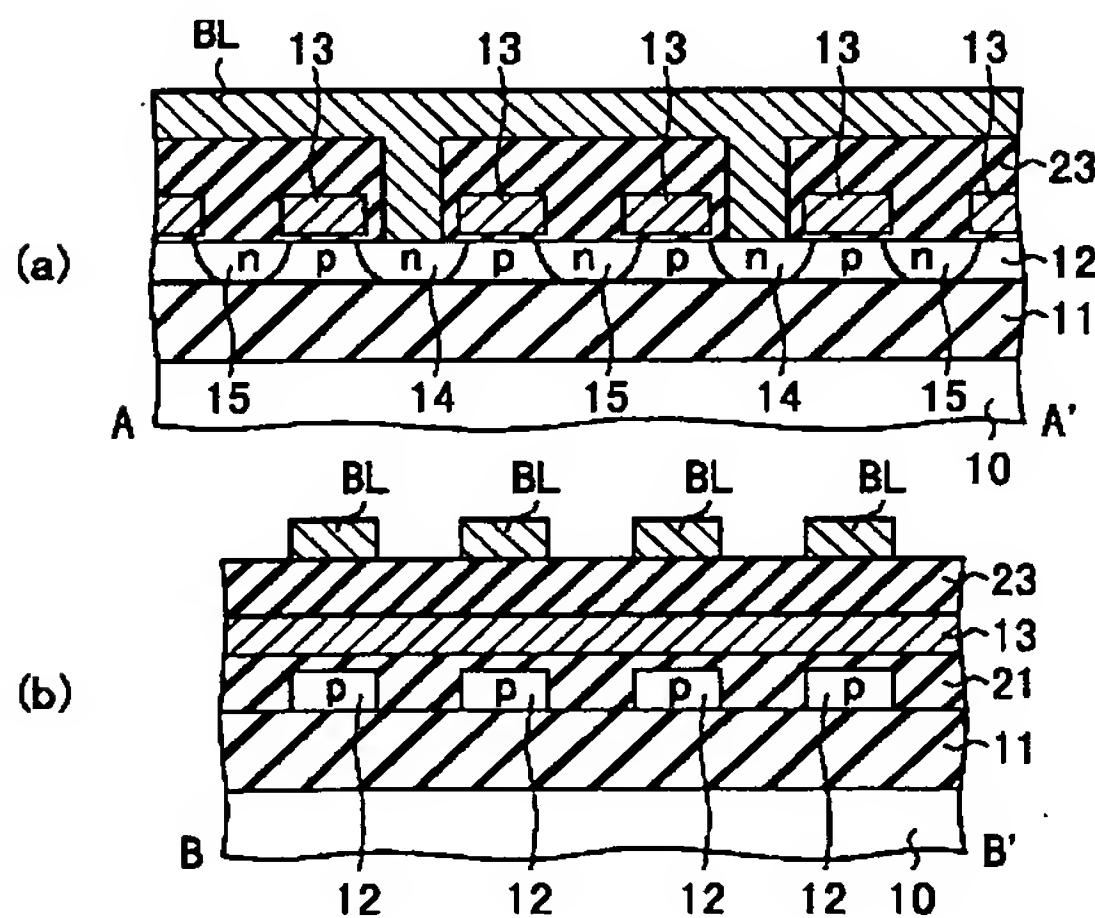
【図3】



【図4】

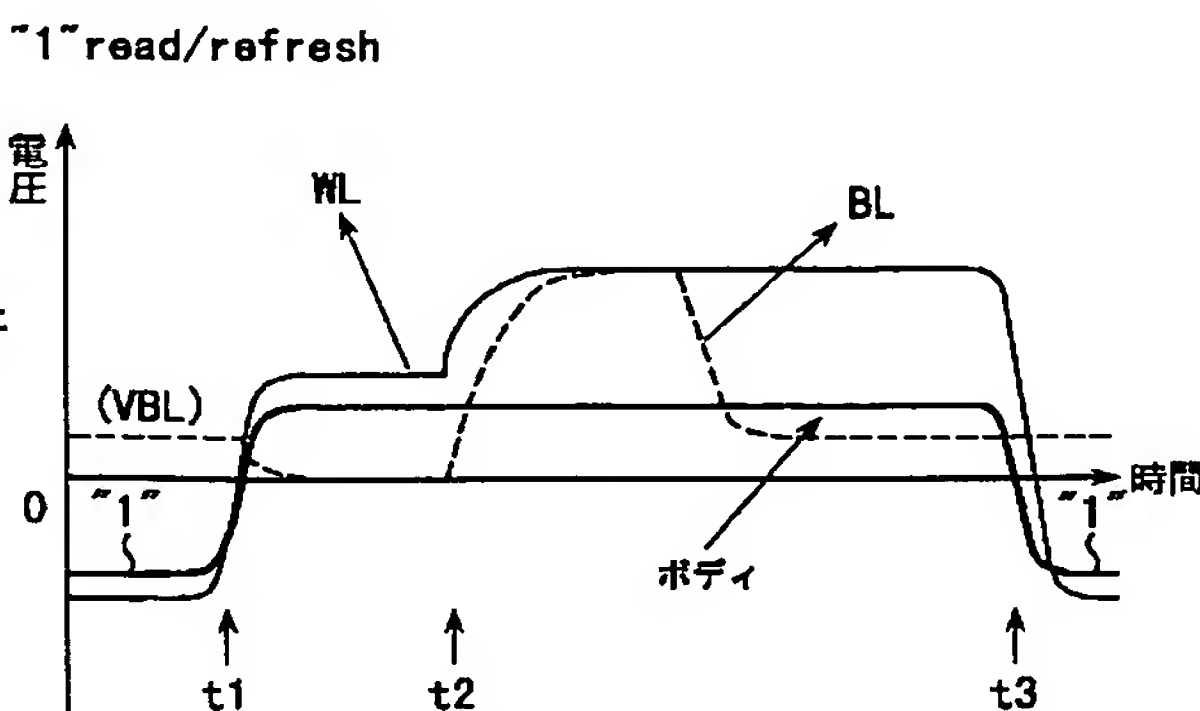
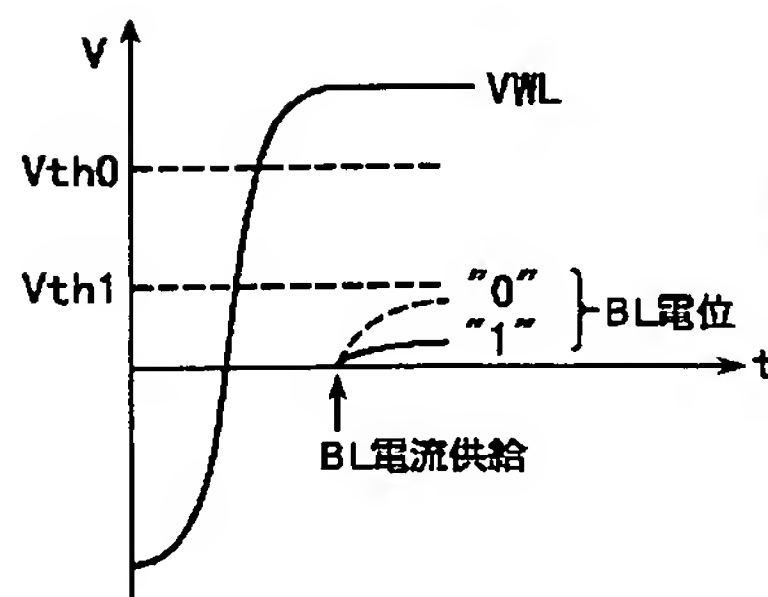
【図5】

【図6】



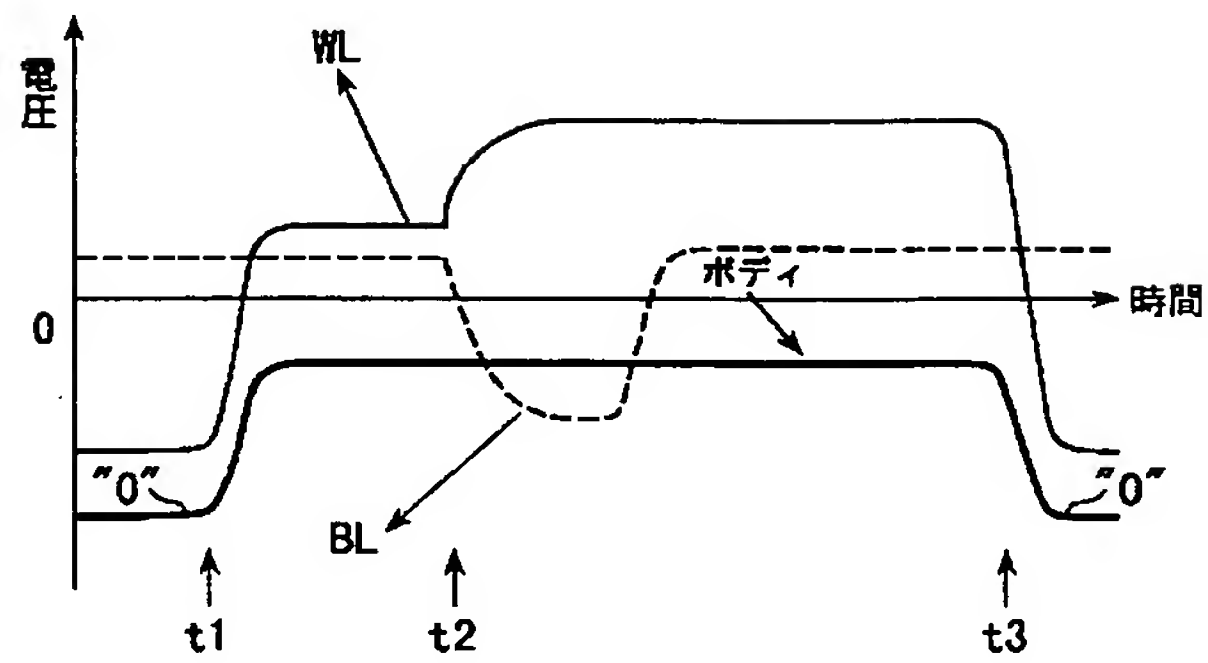
【図7】

【図8】



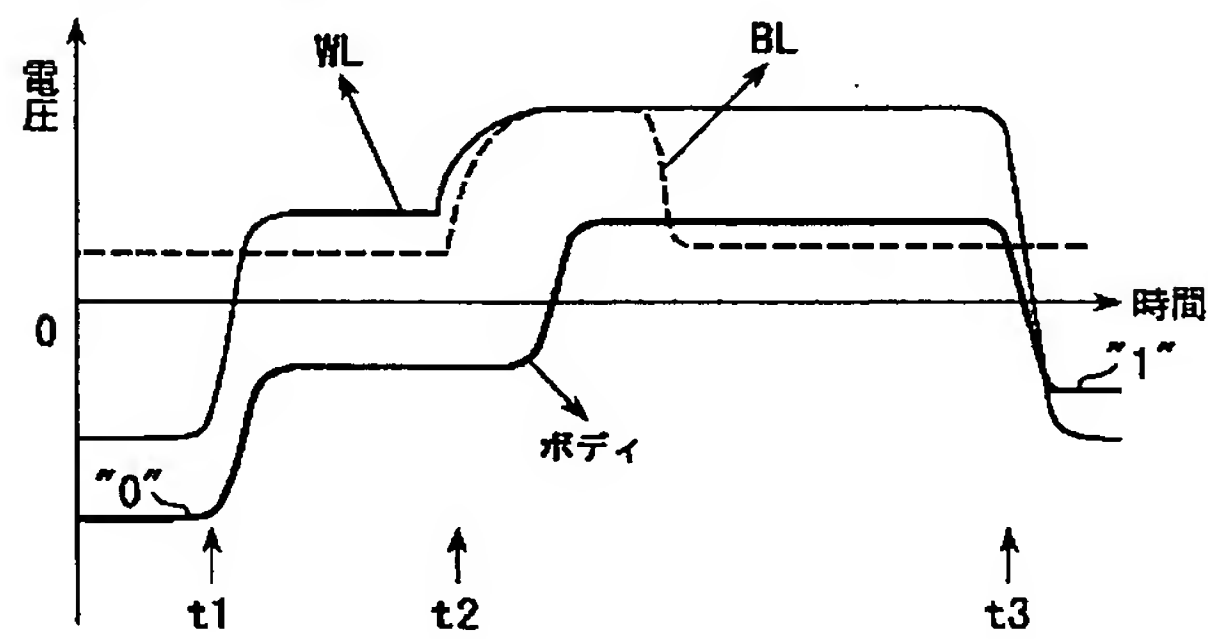
【図 9】

~0~read/refresh



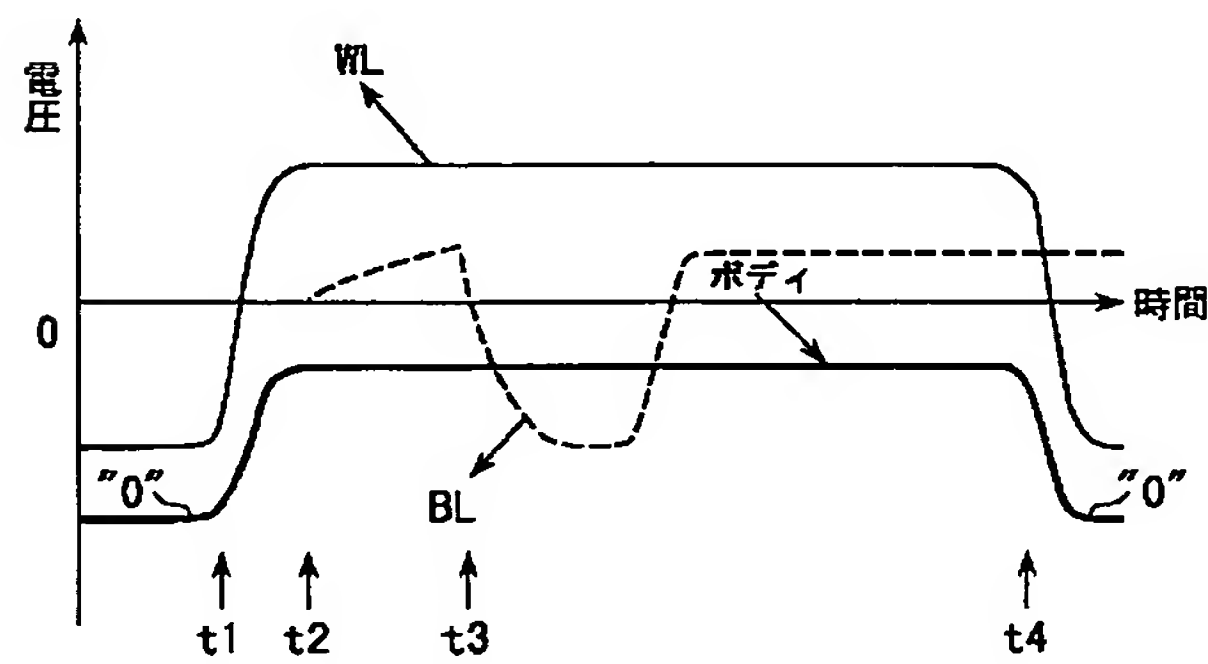
【図 11】

~0~read/~1~write

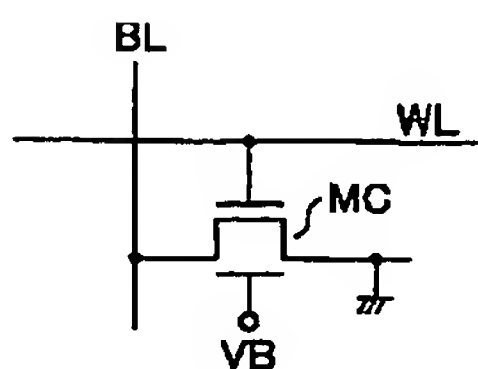


【図 13】

~0~read/refresh

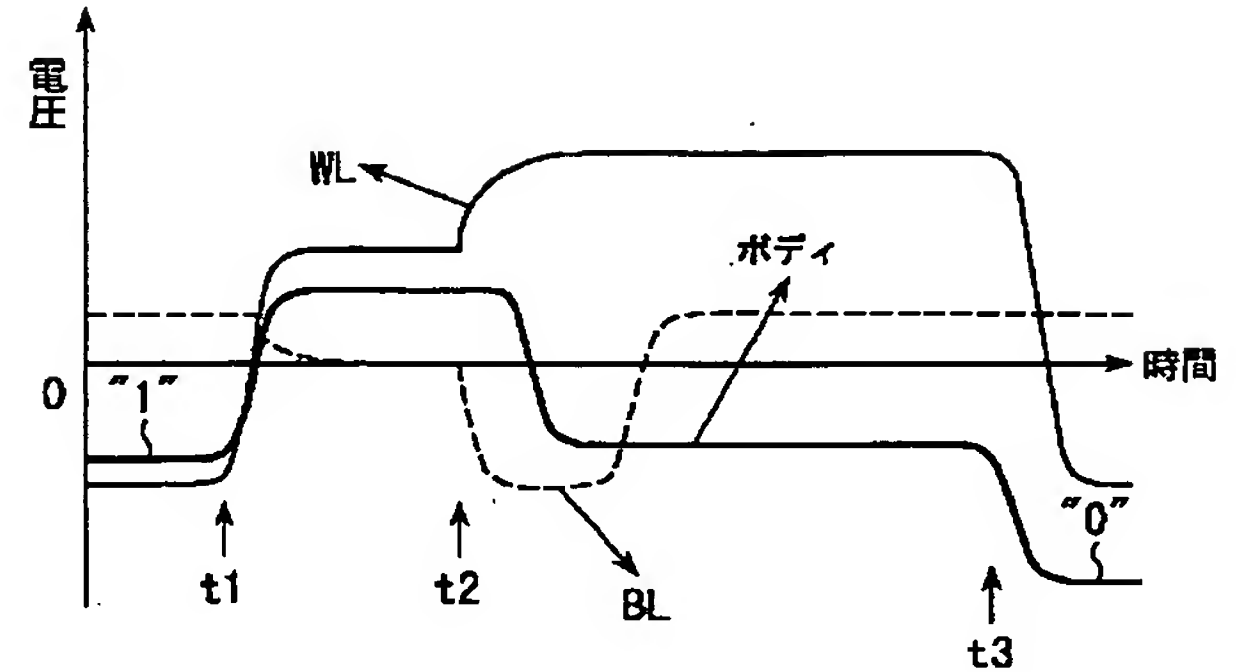


【図 26】



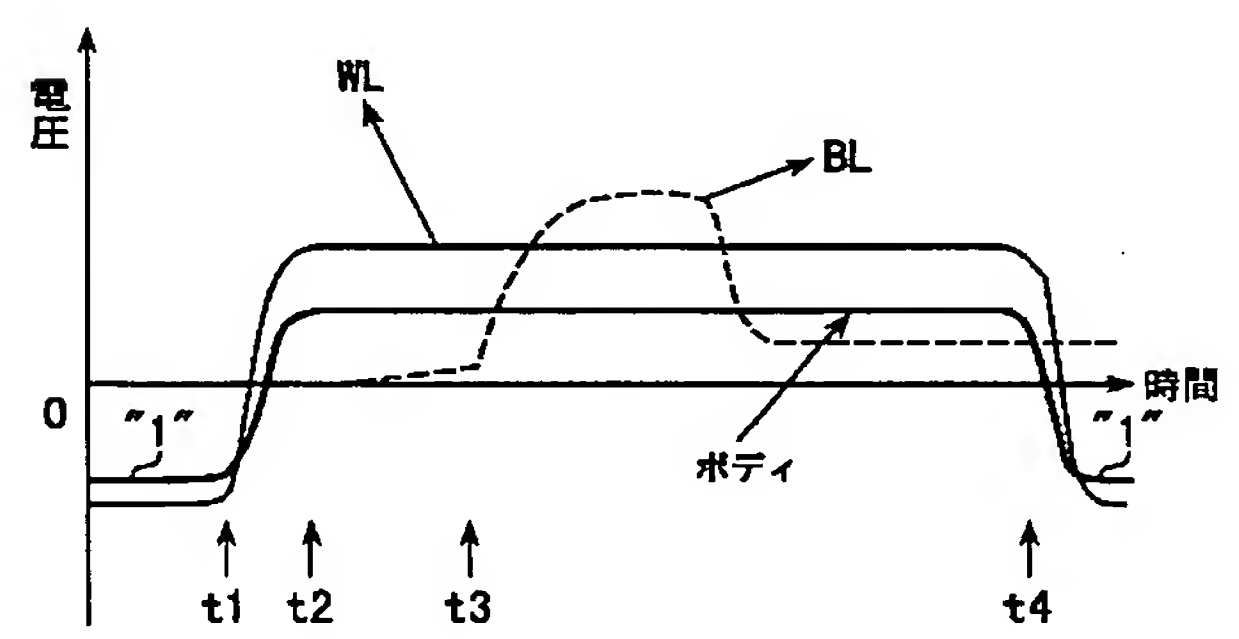
【図 10】

~1~read/~0~write



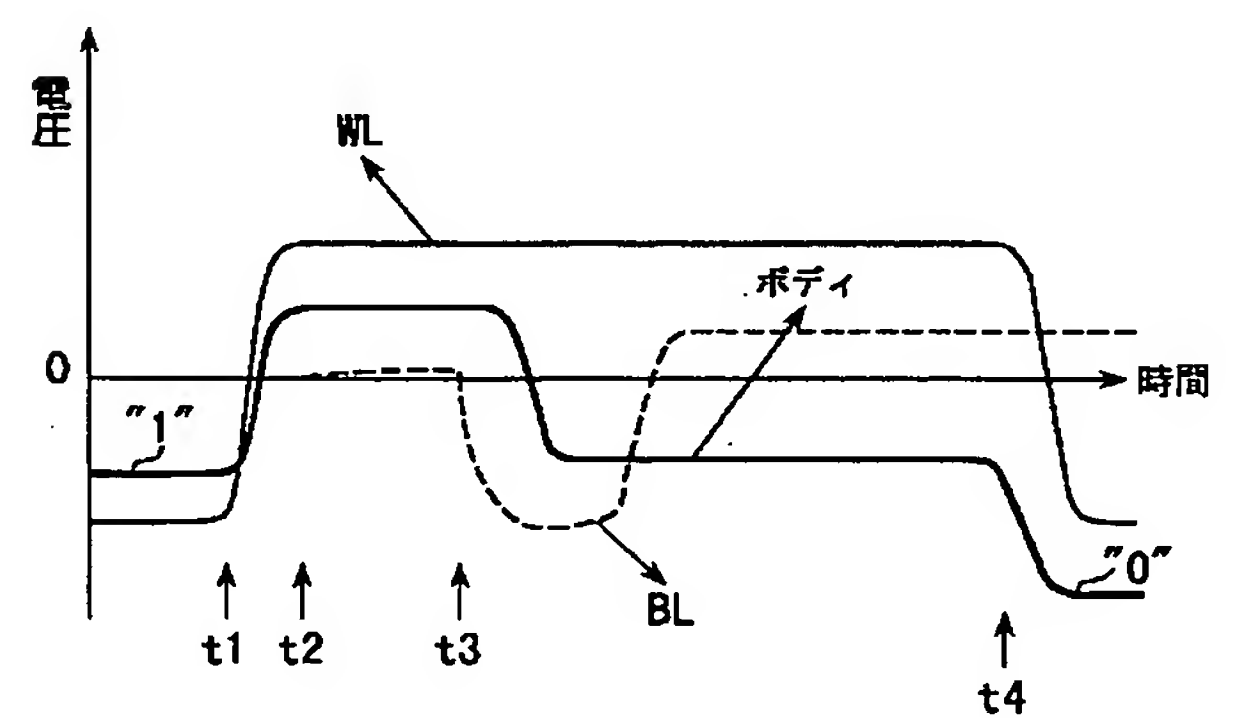
【図 12】

~1~read/refresh

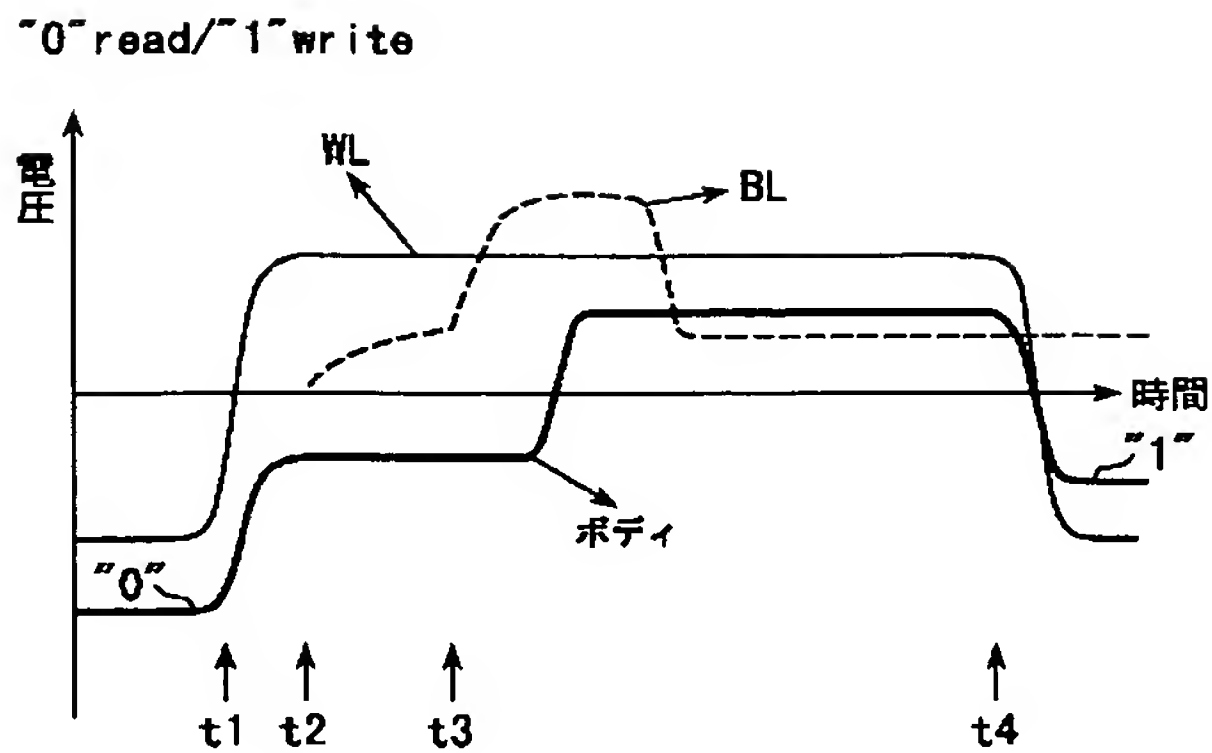


【図 14】

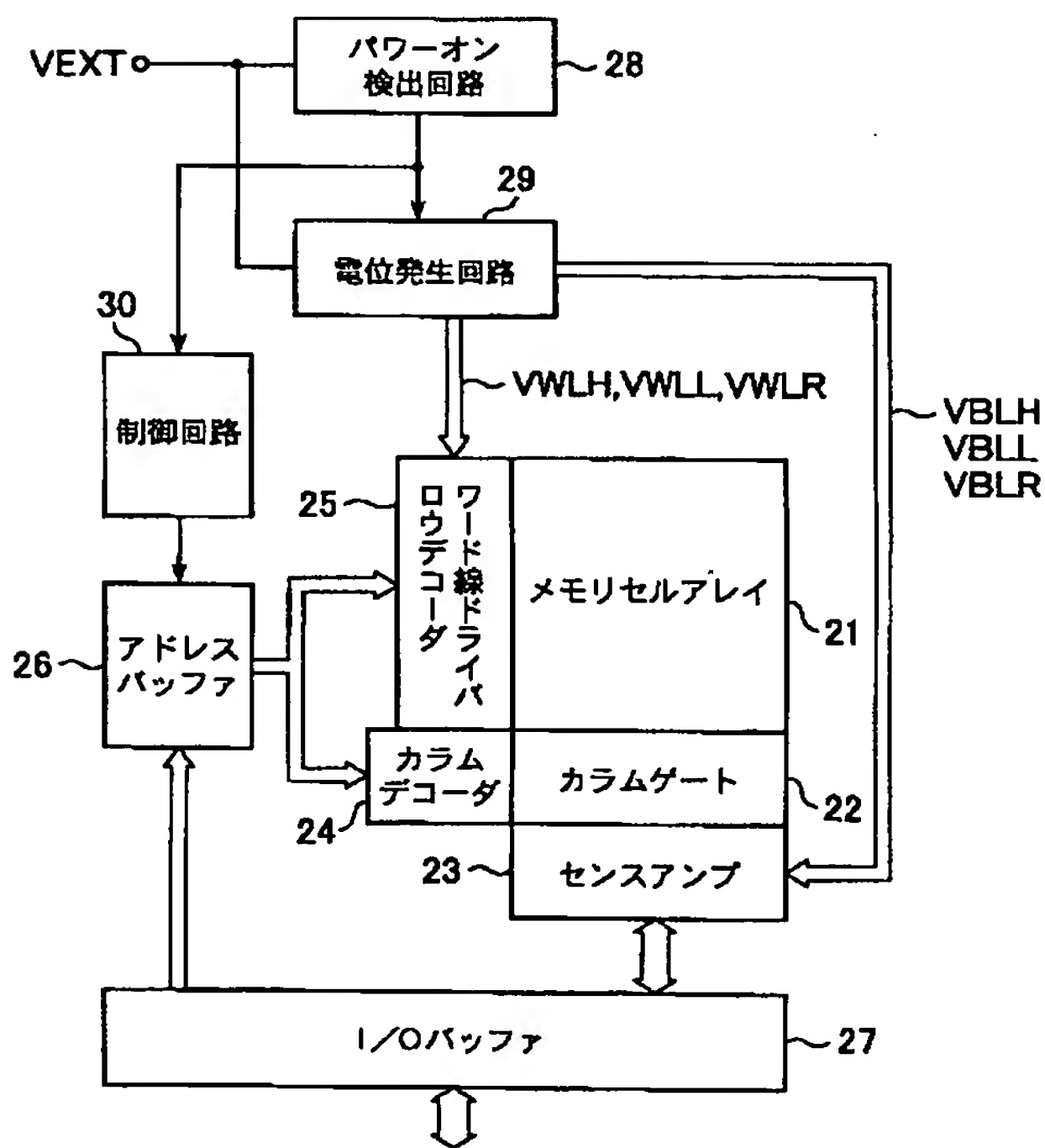
~1~read/~0~write



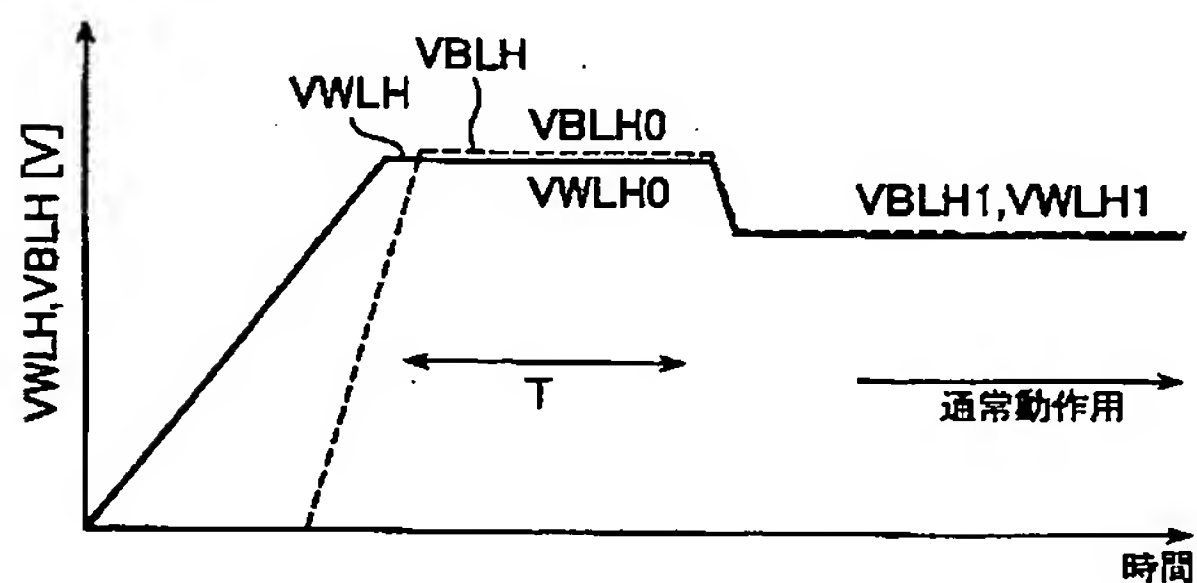
【図15】



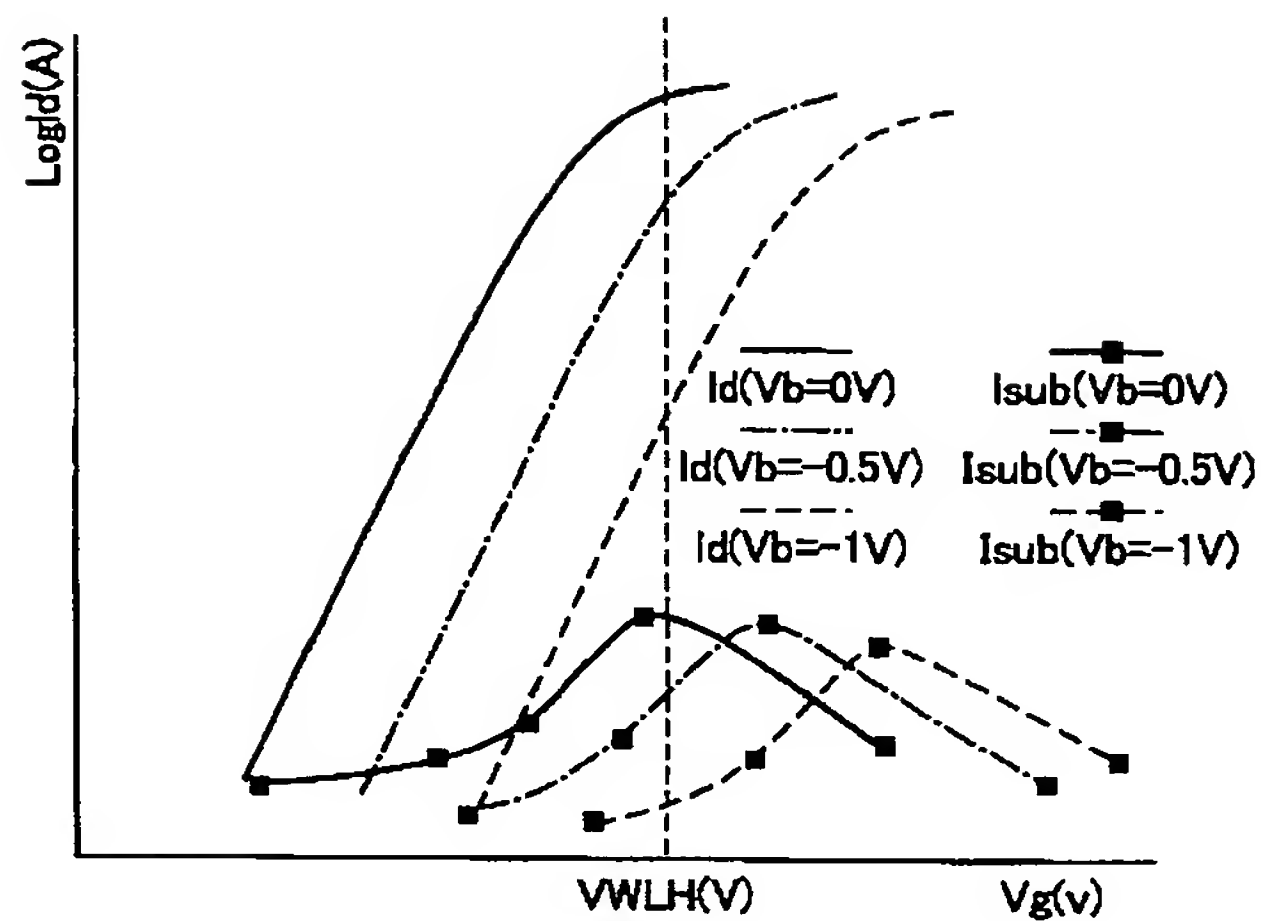
【図17】



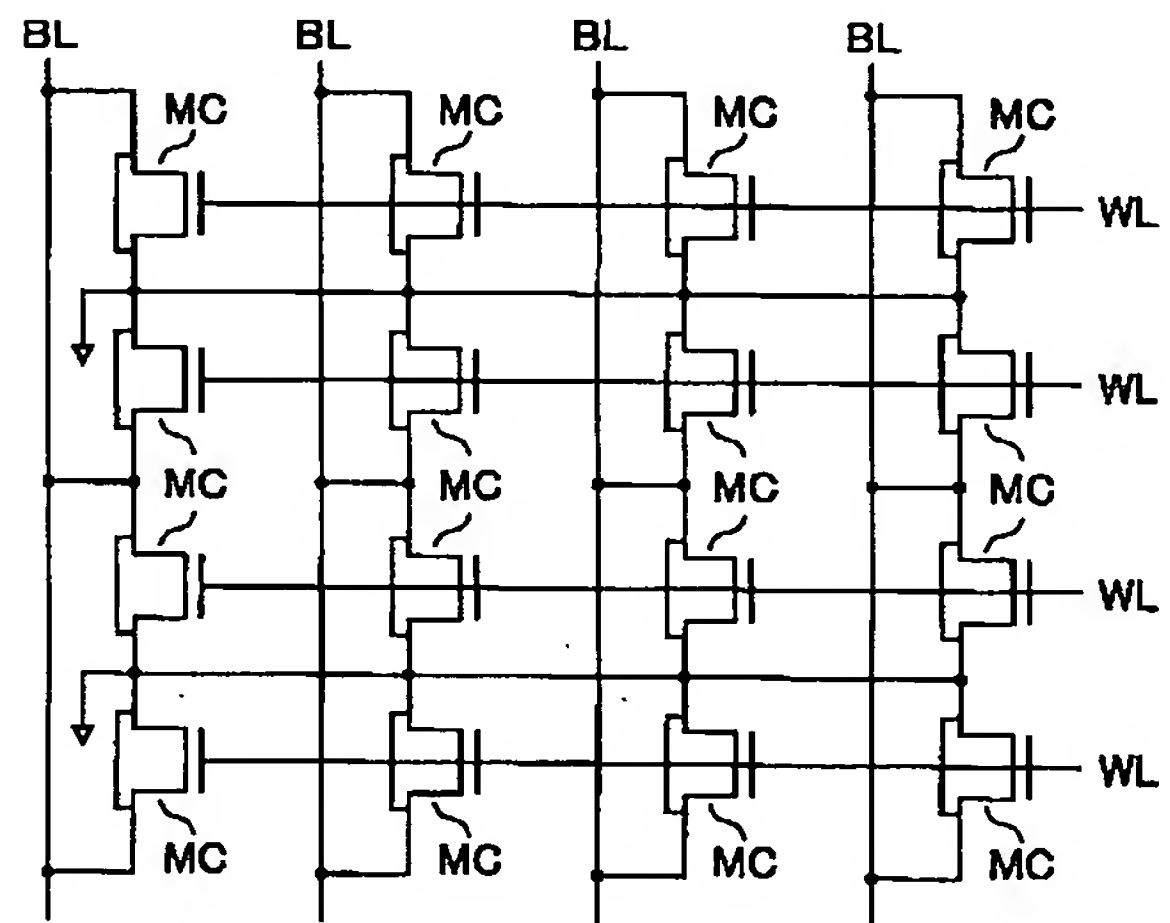
【図19】



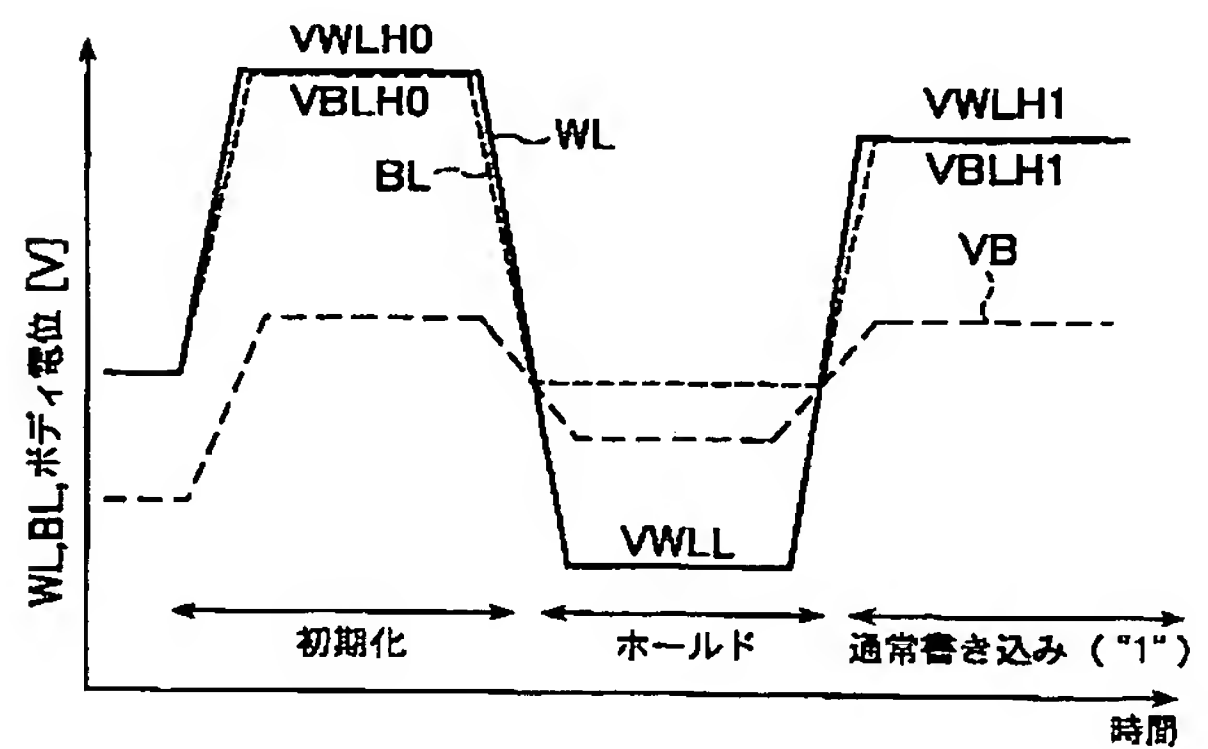
【図16】



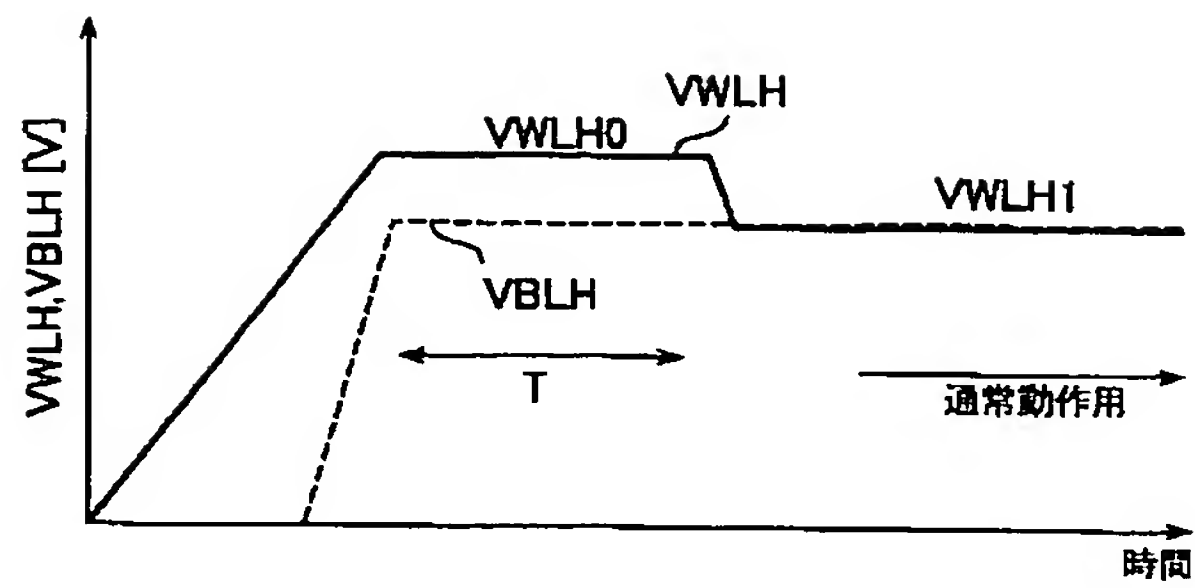
【図18】



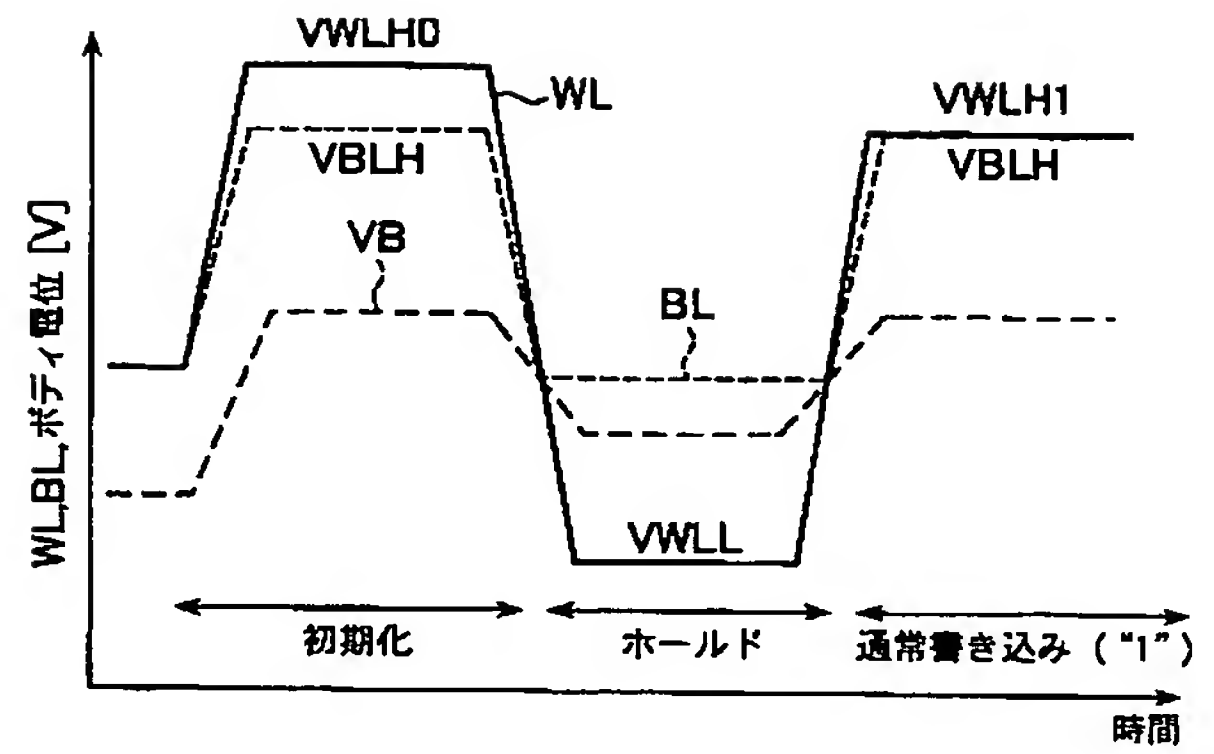
【図20】



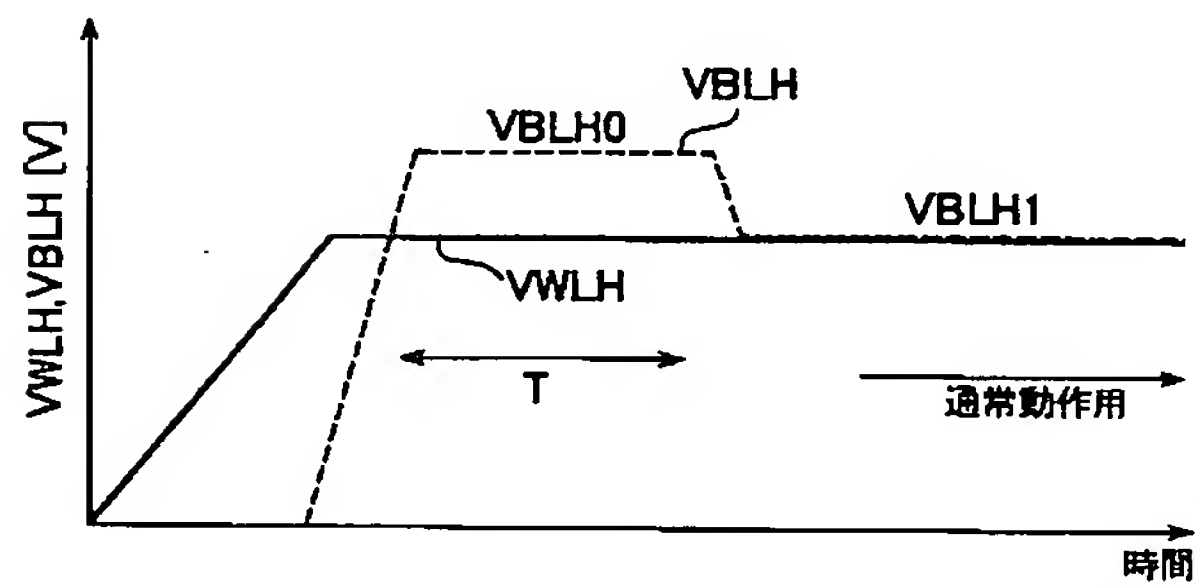
【図21】



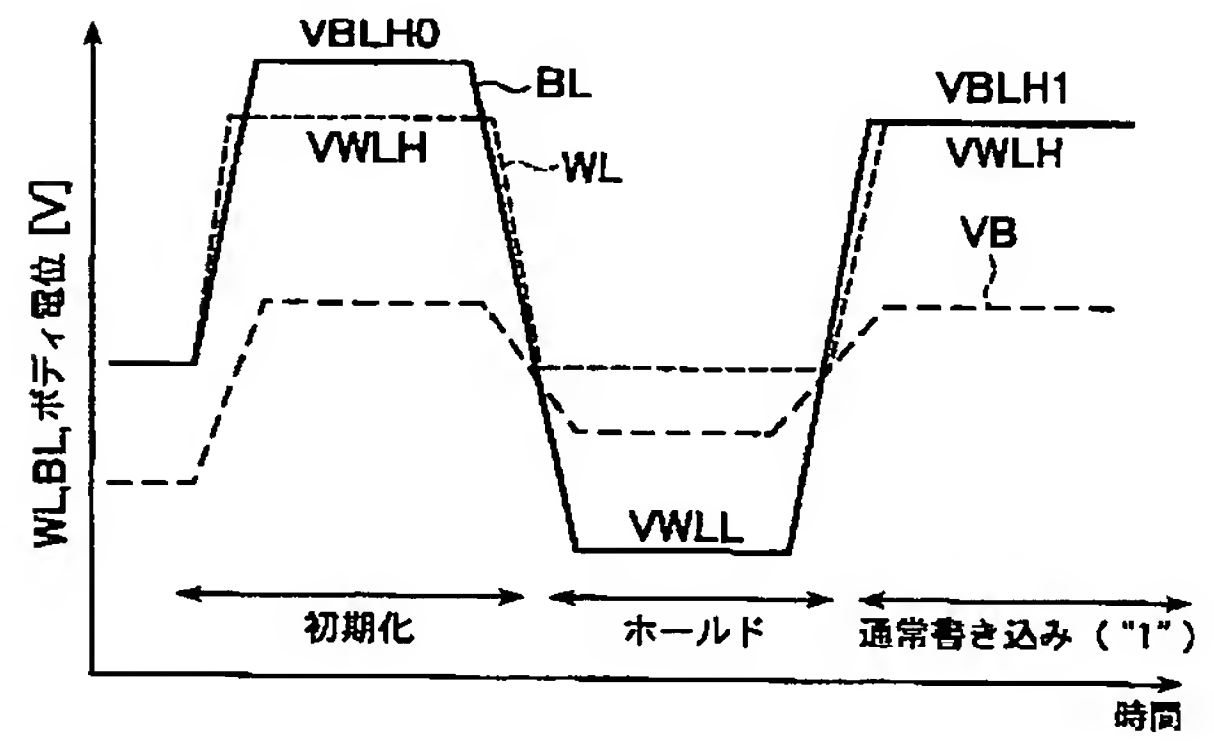
【図22】



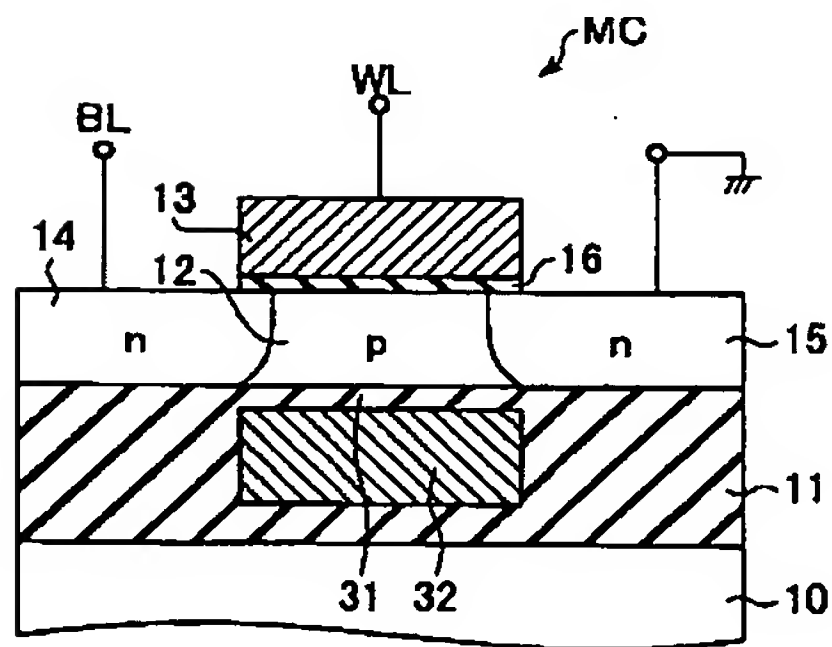
【図23】



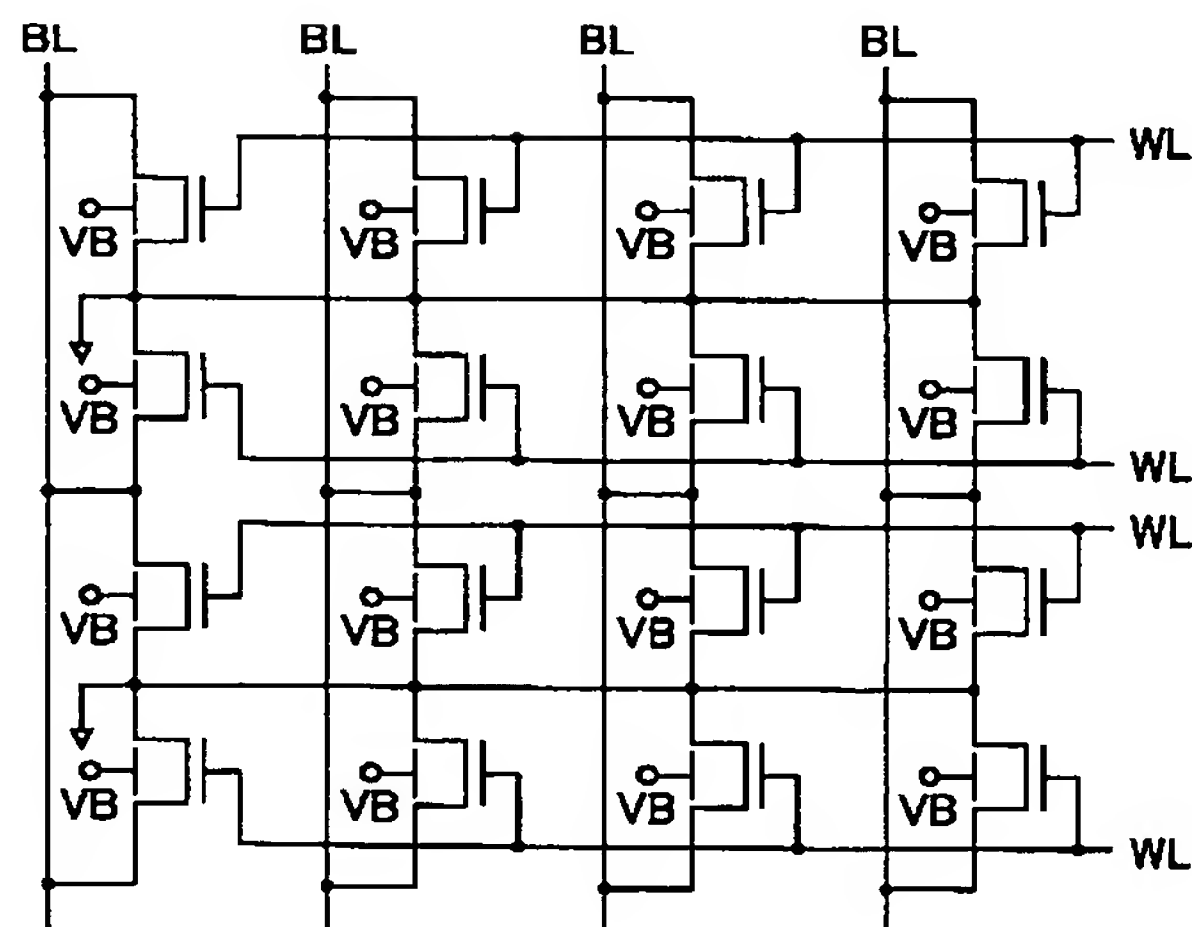
【図24】



【図25】

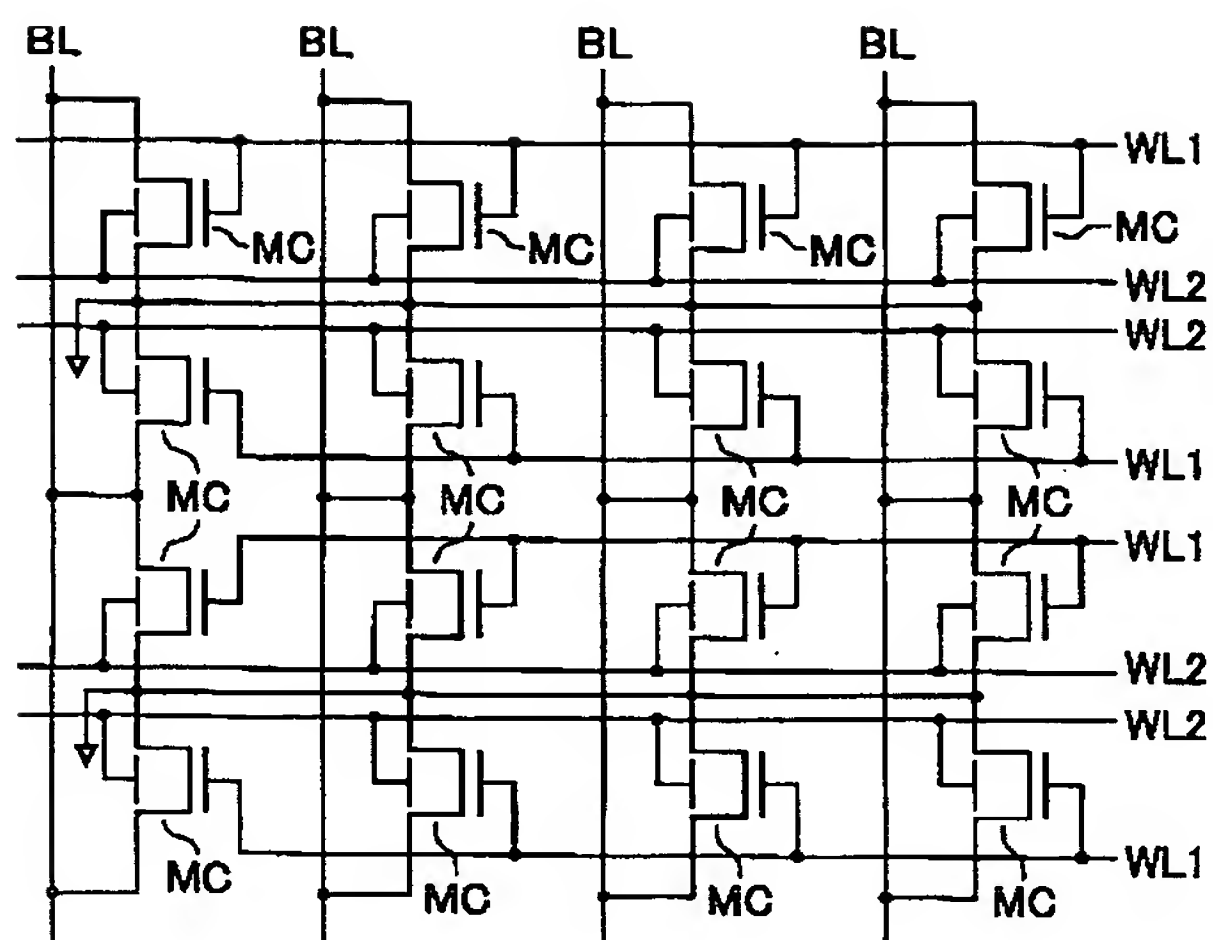


【図27】

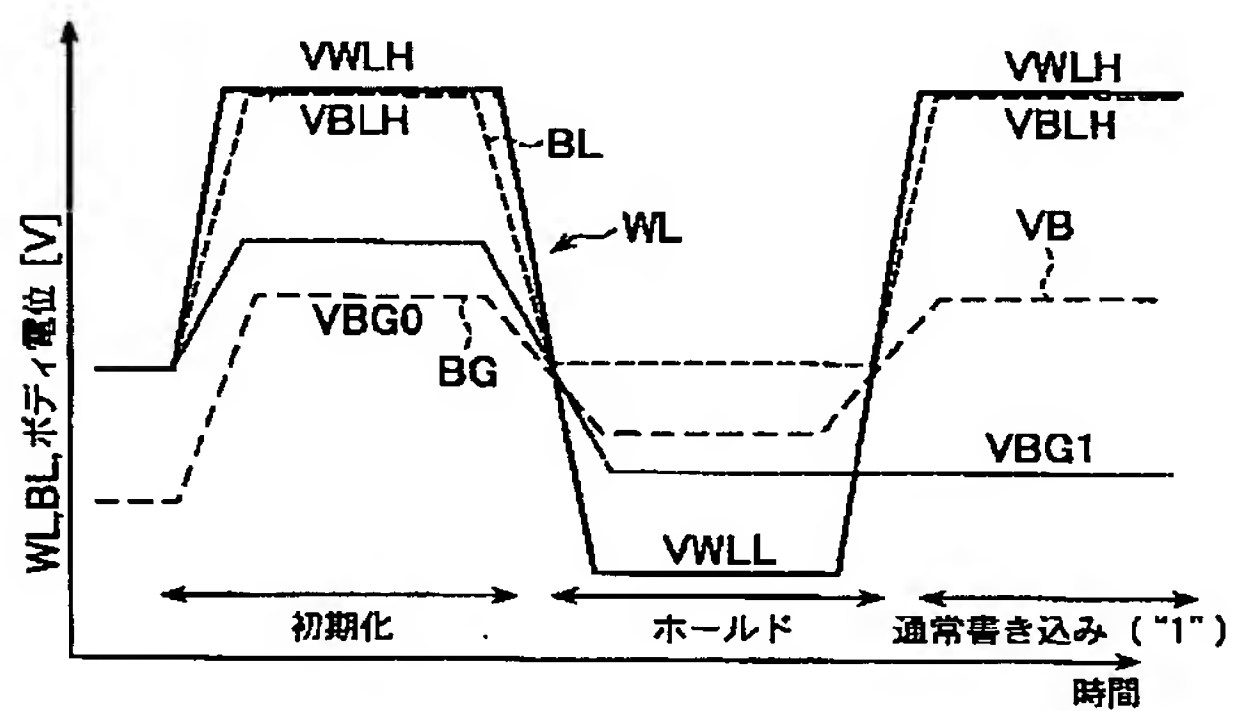




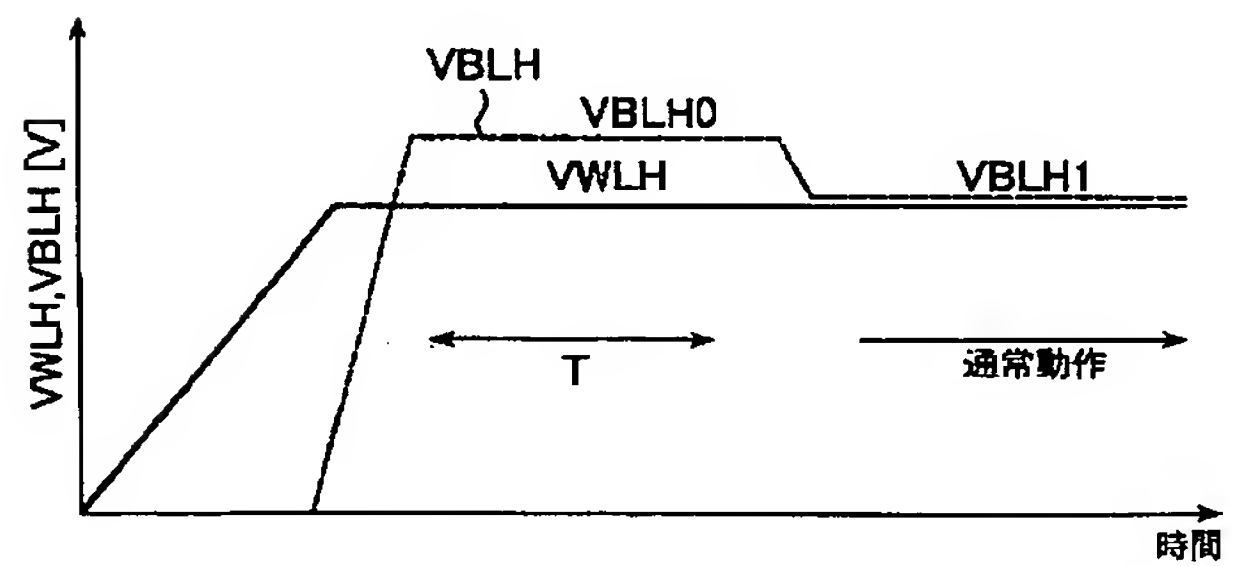
【図28】



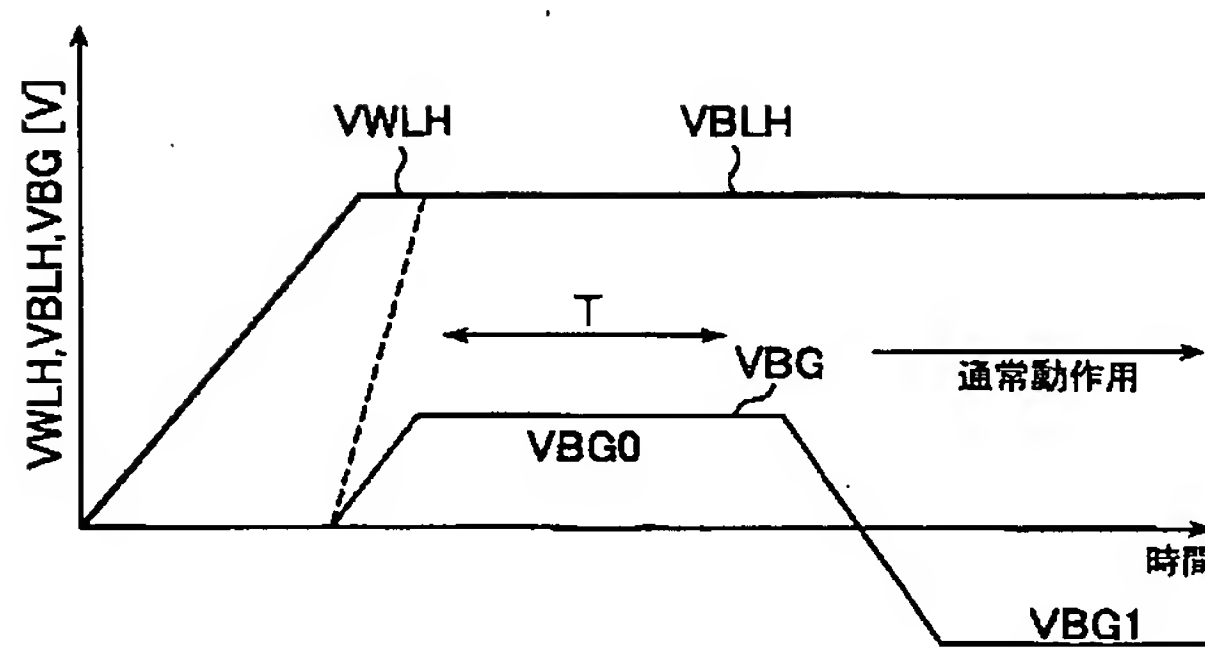
【図30】



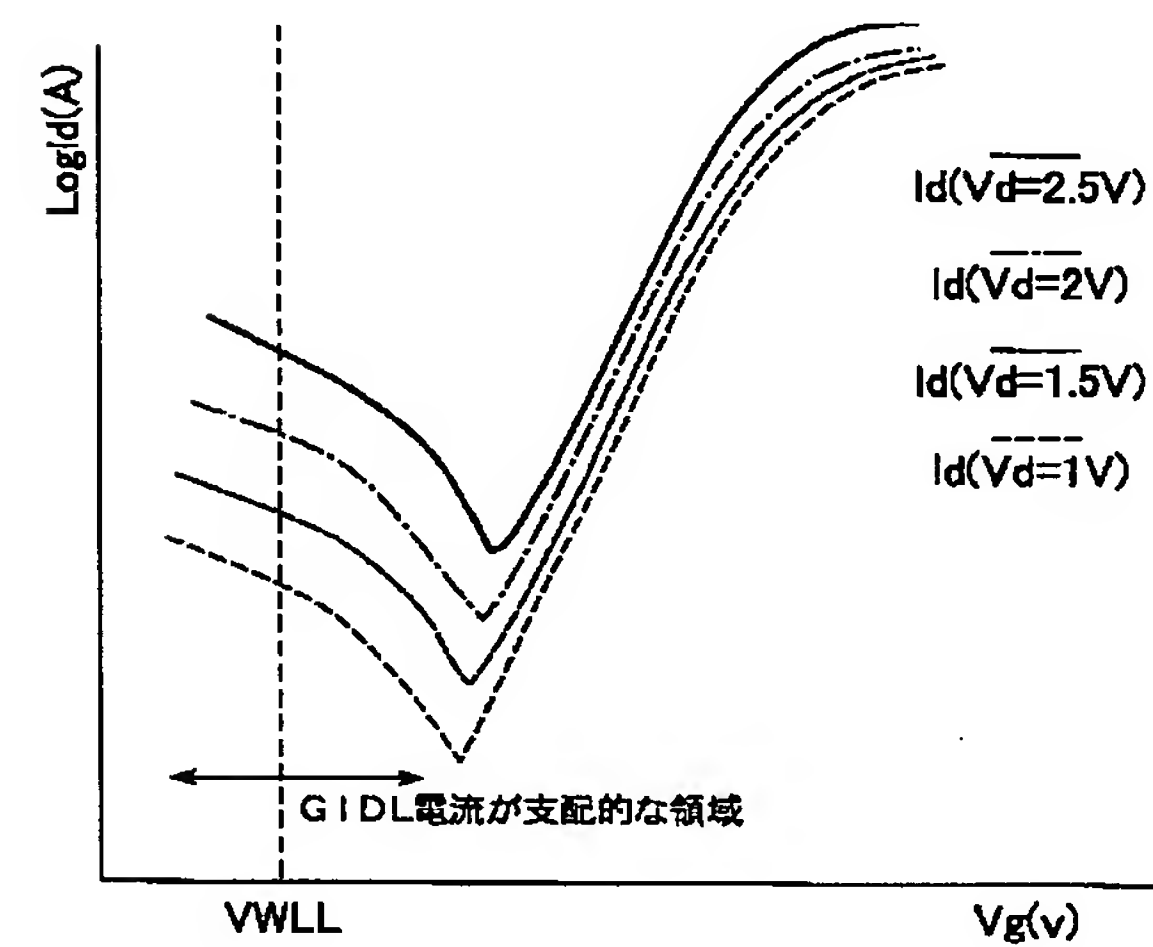
【図32】



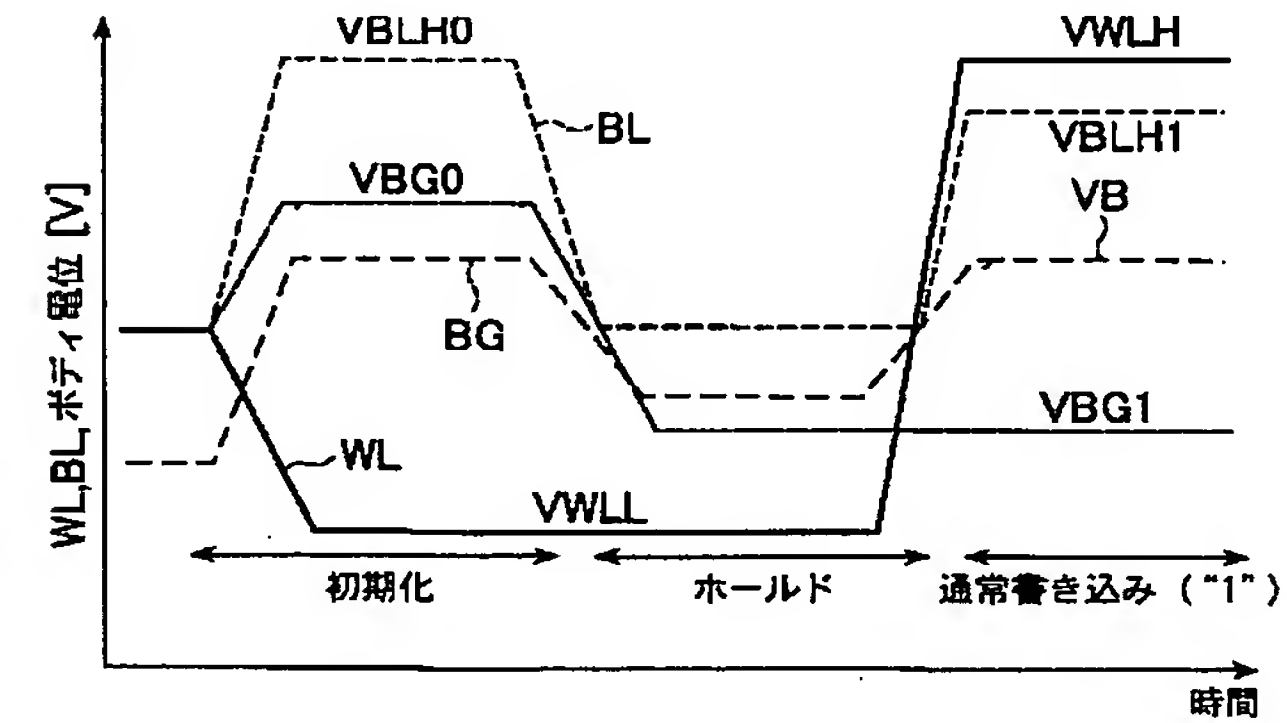
【図29】



【図31】



【図33】



フロントページの続き

、 F ターム(参考) 5F083 AD69 HA02 LA12 LA16  
5M024 AA58 AA70 AA99 BB02 BB08  
BB09 BB32 BB35 BB36 CC20  
CC22 CC70 CC92 HH01 HH11  
PP03 PP04 PP05 PP07 PP10